

修士論文

低 IF 帯用デルタシグマ型 DA コンバータ
に関する研究

指導教官 新井宏之 教授

平成 15 年 2 月 7 日 提出

横浜国立大学 工学府 物理情報工学科

電気電子ネットワークコース

学籍番号 01GD162 村松 潤哉

概要

移動体通信の普及により、高速度高品質通信への要求が高まっている中、送受信における処理の高速化の必要がある。また、低 IF 通信方式においては 10MHz ~ 20MHz の低 IF 帯においての高速 DA 変換が必要となる。従来の高速マルチビット DA コンバータによって高速変換を行なうことは技術的に可能であるが、素子のばらつきや加工精度の制限により、低コストでは非常に困難となっている。また、システム全体の再現性、柔軟性を考えると、アナログ信号処理部を極力排除し、デジタルで処理を行なう方が理にかなっている。そこで、本論文においては本来オーディオ周波数帯で利用されているデルタシグマ型 DA コンバータに注目した。

デルタシグマ型 DA コンバータは高速で高分解能の DA 変換を行なうため、デジタル信号処理部の高速化に応用できる。大部分がデジタル回路であるため、集積回路のパターンの微細化や大規模化により、低電力化、さらなる高速化が期待でき、評価のために FPGA で実装することが容易になっている。また、ノイズを高周波側にシフトさせるため高い SN 比を得ることができ、その結果アナログ部分に対して特性を緩和させることが可能である。従来は AD コンバータとして利用されることが多いデルタシグマ型コンバータであるが、高分解能、演算資源節約等、DA コンバータとしても非常に有用であると考えられる。

本論文では、このデルタシグマ型 DA コンバータを低 IF 帯での DA 変換に応用するための検討を行なった。まず、デルタシグマ型 AD/DA コンバータの基礎となるオーバーサンプリング技術について検討し、従来の AD/DA 変換システムとオーバーサンプリング技術を用いたシステムの比較を行った。そして実際に MATLAB によってデルタシグマ型 DA コンバータのモデルを構成し、シミュレーションを行なうことでデルタシグマ型 DA コンバータの動作の確認を行なった。次に、できるだけ低いクロックで動作させるために、高次型モデルと離散積分器を含まないモデルを考え、QPSK 変調波の DA 変換のシミュレーションを行なった。そしてその結果から VHDL でデルタシグマ型 DA コンバータのモデリングを行い、同様にシミュレーションを行なった。最後に FPGA で実装しデジタル信号をアナログ信号に変換できることを確認した。

目次

第 1 章 序論	3
第 2 章 オーバーサンプリング DA 変換	9
2.1 オーバーサンプリング技術	9
2.2 高速サンプリング用変調の基本技術	12
2.2.1 デルタ変調	13
2.2.2 デルタシグマ変調	15
2.3 デルタシグマ型 DA コンバータ	19
第 3 章 低 IF 帯用デルタシグマ型 DA コンバータ	20
3.1 デルタシグマ型 DA コンバータの構成	20
3.2 基本モデルによるシミュレーション	21
3.2.1 基本モデルの構成	21
3.2.2 シミュレーション結果	22
3.3 高次モデルのシミュレーション	26
3.3.1 高次モデルの構成	26
3.3.2 シミュレーション結果	27
3.3.3 パルス幅に関する検討	30
3.4 離散積分器の無いモデルのシミュレーション	34
3.4.1 離散積分器の無いモデルの構成	34
3.4.2 シミュレーション結果	34
3.5 まとめ	36
第 4 章 オーバーサンプリングデルタシグマ DA 変換器の FPGA で の実装	37
4.1 VHDL によるモデリング	37
4.2 シミュレーション	39
4.3 FPGA での実装	40
4.3.1 使用する AD/DA ボードについて	40
4.3.2 デルタシグマ型 DA コンバータの実装	44
第 5 章 結論	47
謝辞	48
参考文献	49

発表文献.....	51
-----------	----

第 1 章 序論

移動体通信の普及により，高速度高品質通信への要求が高まっている中，送受信における処理の高速化の必要がある．その一方法として送受信部の大幅なデジタル化が挙げられる．第 4 世代の通信方式として注目されている DBF(Digital Beam Forming)アレーアンテナにおいても，デジタル処理部で信号に重み付けをすることによってビームフォーミングを行なっている[1]．そのデジタル処理部分のデバイスとしてはパーソナルコンピュータやワークステーションが用いられたり，または ASIC(Application Specific Integrated Circuit)や DSP(Digital Signal Processor),FPGA(Field Programmable Gate Array)等の信号処理に特化したデバイスが用いられている．本研究室においても FPGA 対して,到来方向推定アルゴリズムの実装[2]やアダプティブアレーアンテナの信号処理をさせる研究がされており,[3]送受信共に大規模なデジタル化は確実に進みつつある．

また，現在利用されている通信方式としては大きく分けて二つの方式がある．複数の IF 段を有するスーパーヘテロダイン方式（図 1.1）と．IF 段を有しないダイレクトコンバージョン方式（図 1.2）である．スーパーヘテロダイン方式は雑音特性や安定性に優れる反面，複数の IF 段が必要となるため回路規模が大きくなってしまいう問題がある．一方ダイレクトコンバージョン方式においては IF 段が不要であるため回路規模は小さくて済むが，DC オフセットや雑音特性が悪いというデメリットもある．

そこで近年低 IF 方式[4]が提案されている．この方式では，構成要素はスーパーヘテロダイン方式と変わらないが，段数も少ないため回路の小型化が図ることができる．また，RF 周波数と LO 周波数が非常に近いため，同一周波数として回路を設計することが可能であり，検波成分に DC 成分が含まれないため AD/DA のダイナミックレンジを有効利用できるという利点を持つ．この低 IF 方式において使用される周波数帯は 10MHz ~ 20MHz であり，必要となってくるのが低 IF 帯における DA/AD 変換技術である．

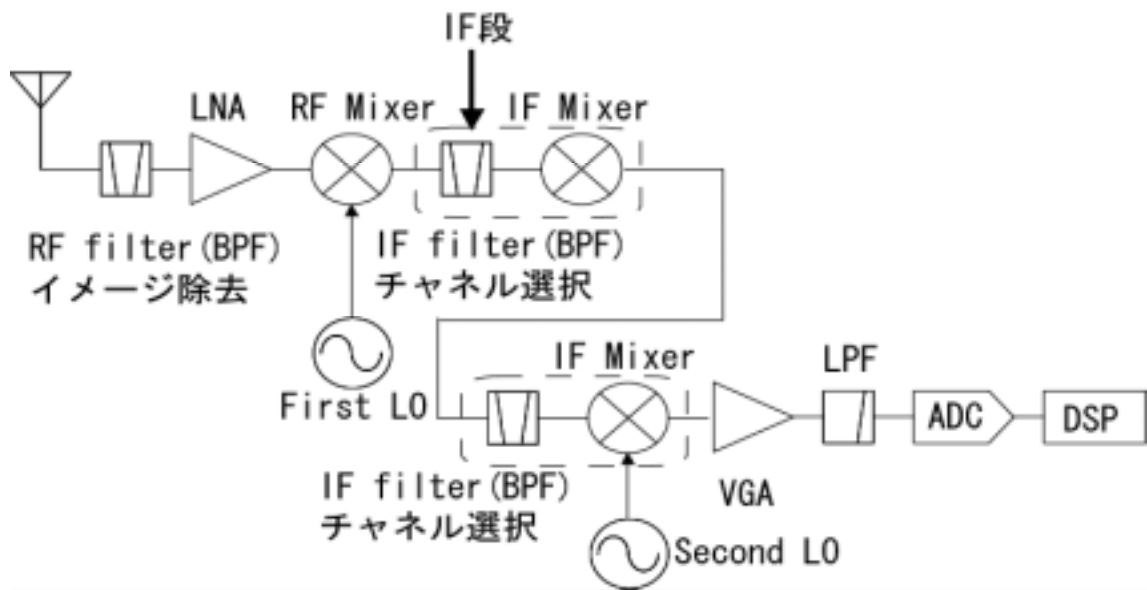


図 1.1 スーパーヘテロダイン方式

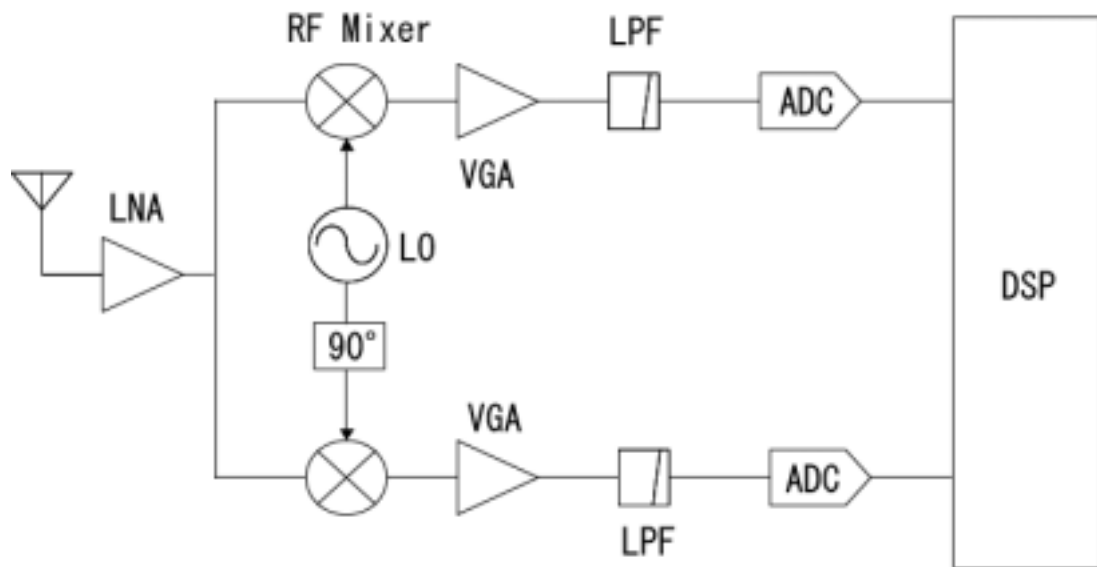


図 1.2 ダイレクトコンバージョン方式

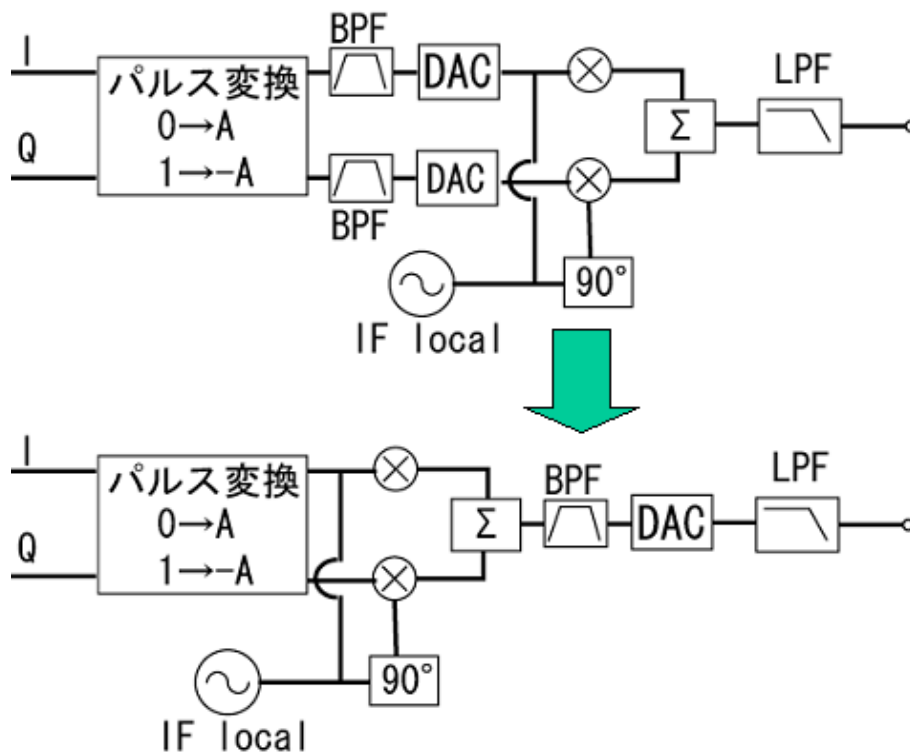


図 1.3 低 IF 帯での DA 変換

既存のマルチビットコンバータによって高速変換を行うことは可能だが，高速で 10 ビットを越える精度を実現しようとするとき，生産性の点で問題のあるトリミングにより合わせ込む必要が生じる．例えば 16 ビットの AD 変換器を実現するとき問題となるのは，16 ビットの DA 変換器である．DA 変換器を作る際，キャパシタ等の加工精度は数百程度で充分とは言えず，また改善の展望もない．生産時の素子精度や電気的特性のばらつきが影響を与えるため，そのばらつきを吸収するためのトリミング無しには 16 ビットの精度は実現できない．[5]

折り返し雑音の発生を防止するプレフィルタでも問題がある．AD 変換システムを 1 チップで実現する場合，簡単なアナログフィルタと高精度スイッチト・キャパシタ・フィルタの組み合わせが用いられる．信号帯域の上限と AD 変換器のナイquist周波数が近接していれば，スイッチト・キャパシタ・フィルタの次数は非常に高くなる．次数の高いフィルタを再現性よく作るためには，キャパシタの加工精度を満足させる必要があり，素子寸法を大きく設計せざるを得ない．

次数が増加すると，必要とする演算増幅器の数が増加し，それによる雑音や歪，電源から信号線に漏れ込む雑音も増加する．また，電源電圧の低減により信号電圧を小さくした場合，SN 比の悪化も問題となる．信号処理においては，分解能に対応した雑音と同程度の歪の発生しか許されない場合が多い．この歪

の発生を除去するためにも，アナログ信号処理部分をできる限り削減してデジタル化する必要がある．送受信機の回路のデジタル化を図るとするなら，以下の図 1.3 のように DA/AD コンバータを低 IF 帯に持ってくる必要がある．これによりフィルタの数も減らすことができ，回路規模としても小さくすることが可能となる．

以上の問題を解決する方法のひとつとして挙げられるのがオーバーサンプリング技術を用いた AD/DA 変換技術である．一般的にデルタシグマ型コンバータや，1 ビットコンバータ，ビットストリーム型コンバータと呼ばれている．これらは従来のコンバータに比べ非常に高い周波数でサンプリングを行うことに特徴がある．オーバーサンプリングはおおよそ帯域内周波数上限の 128 倍～256 倍程度のサンプリング周波数を用いるのが普通であり，現在は主にオーディオ用の AD/DA 変換に用いられ始めている．分解能においても 16 ビット級の性能を出すためには 160 倍のオーバーサンプリングが必要となる．これまでは低・中速の高精度変換が主な用途であったが，近年の CMOS 回路技術等の進歩により，非常に高速なクロックで動作するデバイスが作られ始めたことでカバーする範囲は拡大しつつある．

そこで本研究においてはこの低 IF 帯用の DA コンバータとして，本来オーディオ周波数帯で利用されているデルタシグマ型 DA コンバータに注目した．このデルタシグマ型 DA コンバータはマルチビットの信号を 1 ビットの信号にパルス幅変調を行う．またノイズシェーピングという特性をもち，量子化ノイズを高周波数領域にシフトさせることにより高 S/N 比を得ることができる．また同等のマルチビットコンバータより高い分解能を持つ．そして，マルチビットコンバータより低い情報量で済むため，高速性も高いとの報告もある．[6]

このデルタシグマ型 DA コンバータは大きく分けて Lowpass 型と Bandpass 型が存在する．デルタシグマ型 DA コンバータの無線周波数帯における応用例としては 900MHz 帯において Bandpass 型による DA 変換がすでに報告されている[7]．この報告では CDMA 方式に対応した 1.22MHz の帯域を持つ RF 信号を Bandpass デルタシグマ型 DA コンバータによって DA 変換を行っている．図 1.4 にその構成を，図 1.5 に RF 出力信号を参考に載せる．図 1.5 より，Bandpass 型のノイズシェーピングが得られ，RF 信号が抽出されていることがわかる．

この Bandpass 型デルタシグマ型 DA コンバータはアップコンバータを必要とするため Lowpass 型に比べ，ワンステップ多くなる必要がある．また帯域を広く取ることが難しいため，マルチバンドの通信には向いていない．動作クロックにおいても，現時点において最高水準の高速動作をする CMOS が必要とされ，実際に実用化するのには困難であると考えられる．

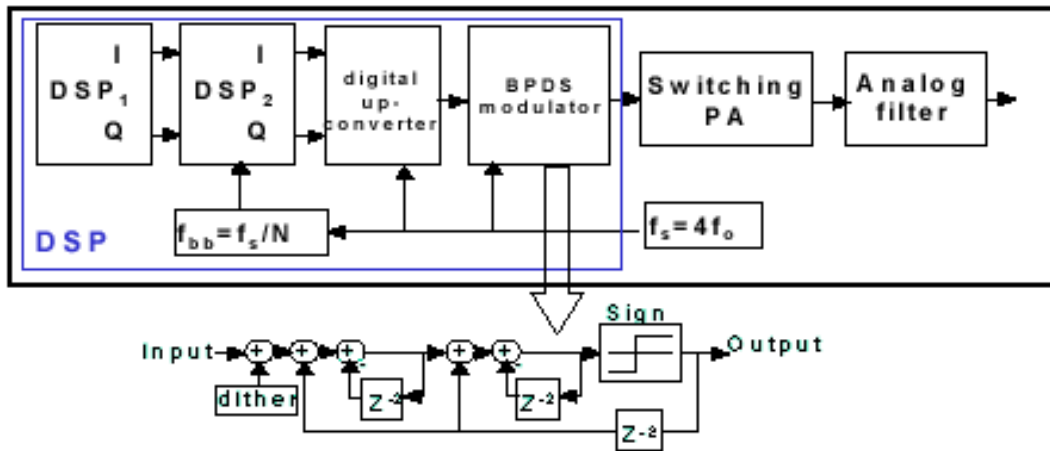


図 1.4 Bandpass デルタシグマ DA コンバータの構成

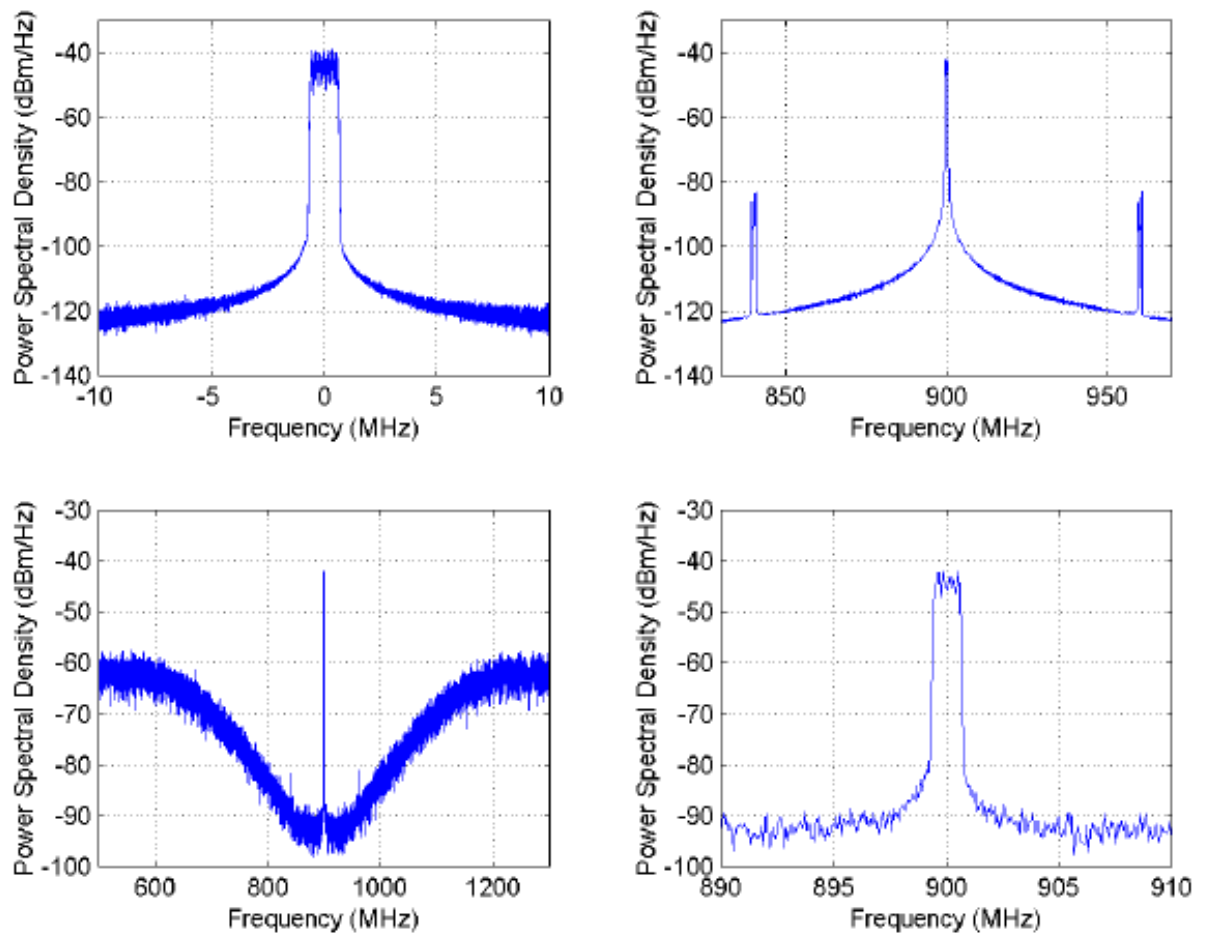


図 1.5 900MHzRF 信号

一方 Lowpass デルタシグマ型 DA コンバータの無線周波数帯への検討はほとんど行われていない。よって本論文では、低 IF 方式送信機の DA 変換に Lowpass デルタシグマ型 DA コンバータの適用を提案し、その有効性を示すためにシミュレーションを行い、FPGA で実装し動作を確認する。

本論文の構成は以下の通りである。第 2 章で本論文の基礎となるオーバーサンプリング DA 変換方式とデルタシグマ型 DA コンバータについて述べる。第 3 章で今回提案する低 IF 帯用デルタシグマ型 DA コンバータの構成と、各種シミュレーションについて述べる。第 4 章では 3 章で行ったシミュレーションを受けて、デルタシグマ型 DA コンバータを VHDL によりモデリングし、FPGA で実装を行う。第 5 章を本論文のまとめとする。

第2章 オーバーサンプリング DA 変換

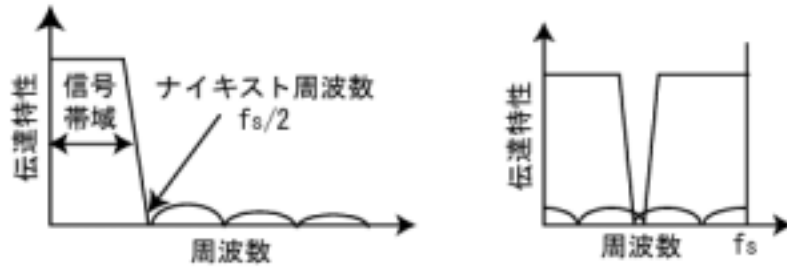
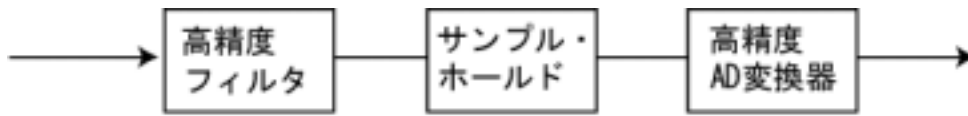
この章ではオーバーサンプリング DA 変換技術について述べる .2.1 においてその基本とオーバーサンプリング技術について説明し，2.2 ではその中で用いられるデルタ変調とデルタシグマ変調について述べる．2.3 においてオーバーサンプリング技術の DA コンバータへの応用について述べる．

2.1 オーバーサンプリング技術

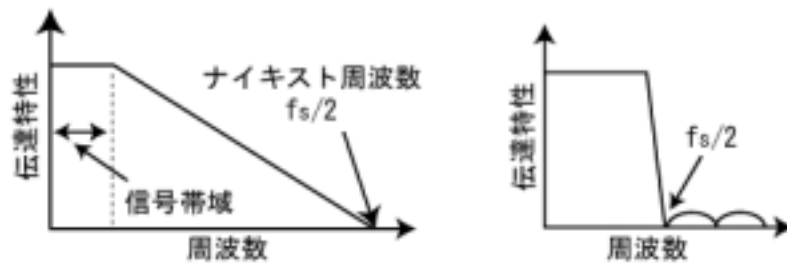
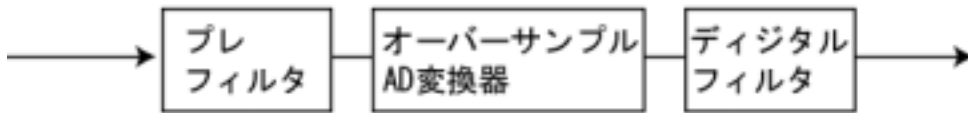
もともとオーバーサンプリング技術[8]は AD 変換を目的として考え出された．それを踏まえた上で話を進めていく．まず，オーバーサンプリング型の変換技術は，単にサンプリング周波数を高くするだけの手法ではない．従来主に使われてきた AD 変換技術とは異なった技術を用いる．デルタ変調やデルタシグマ変調と呼ばれる方法である．従来の AD 変換技術では，サンプリングされた時間ごとに入力された電圧もしくは電流値と，変換された出力とは 1 対 1 の対応関係を持ち，この関係が AD 変換の特性を規定する．しかしオーバーサンプリング AD 変換技術ではそうした 1 対 1 の対応関係が成り立たない．例えばアナログ信号をデジタル信号に置き換える場合，少ないビット数のデータしか変換しない．ところがこのデータをデジタルフィルタに通すと，格段に分解能の向上した信号が得られる．これを可能にするのは変換ループ内にあるフィルタである．ループ内にフィルタを持つことによって，必然的に量子化により得られる出力は，サンプリングを行なった時点の入力電圧だけに依存するものでなくなる．これにより 1 対 1 の対応関係が成立しなくなる．

図 2.1 に従来型とオーバーサンプリング型の AD 変換システムの図を示すが，構成に大きな違いがあることがわかる．従来の物と比較をした場合，オーバーサンプリング AD 変換器は特徴をもっている．ひとつはサンプリング周波数を高くして折り返し雑音除去フィルタの特性を緩和していることで，もうひとつは高精度の DA 変換器を必要とせずに高精度な変換を実現していることである．まず折り返し雑音を除去するプレフィルタについて，従来の場合ナイキスト周波数と信号周波数の上限が近いほど，急峻な周波数特性をもつフィルタが必要になる．しかし，サンプリング周波数を必要な信号周波数の上限より十分高くできれば，プレフィルタはなだらかな減衰特性を有する次数の低い簡単なもので済むと同時にフィルタの周波数特性に対する精度も緩くなる．これがオーバーサンプリング技術の第 1 の利点である．

オーバーサンプリング技術によってサンプリングされたデータはデータレートが高く，そのまま伝送したり記憶したりするのには向いていない．そのためデシメーションフィルタを通さなくてはならない．しかしすでにデジタルに変換されているため，デシメーションフィルタはデジタルフィルタとなる．そのため，従来の AD 変換器に必要とされていた高精度アナログフィルタが不要となり，デジタルフィルタによって完璧な再現性を得ることができる．そしてその際に量子化雑音のうち帯域外に分布する成分も除去ができる．図 2.2 に量子化雑音の分布を示すが，この量子化雑音についても一般的にサンプリング周波数に反比例して単位周波数あたりの雑音電力は小さくなる．そのため非常に高い S/N 比を得ることができる．これが第 2 の利点である．以上のオーバーサンプリング技術は次に示す高速サンプリング用の変調技術によって支えられている．



a 従来型構造のAD変換システム



b オーバーサンプリングAD変換システム

図 2.1 AD 変換システム

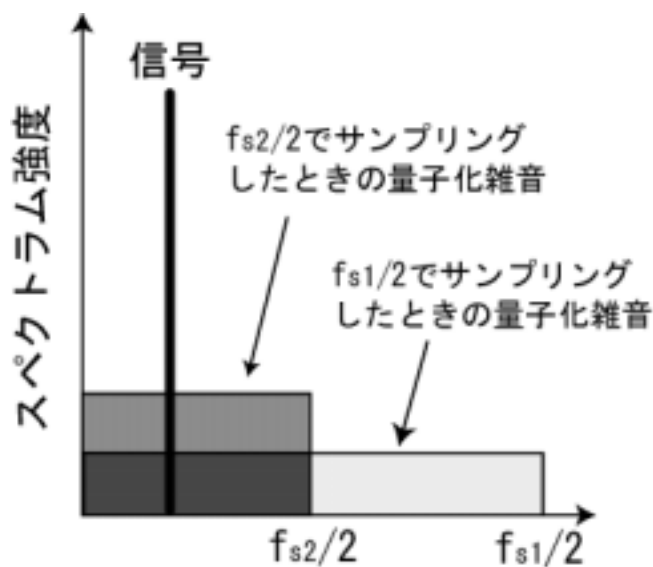


図 2.2 量子化雑音の分布

2.2 高速サンプリング用変調の基本技術

オーバーサンプリングに用いる変調器の構造は、電圧比較を行う量子化器と出力のフィードバックの点においては他の変換器と同様である。最も異なる点は変換ループ内にフィルタを持ち、フィルタ出力に対して量子化を行う点である。出力コードをフィルタに通すことは、出力コードの値が次のサンプリングだけでなく、その後のサンプリングに対しても影響を与えつづけることを意味する。したがって、各々のサンプリングでの入出力関係を評価するのではなく、連続する出力の流れで出力コードの性質を評価する必要がある。

変換ループ内でこのフィルタが置かれる場所によって変換器としての性質が異なる。その性質により大別して3種類のカテゴリに分けることができる。

1：デルタ変調方式[9]

フィルタ出力と入力信号との差を符号化するものである。このフィルタは信号に対する予測器と見なすことができるので、デルタ変調方式は予測符号化方式とも呼ばれる。

2：デルタシグマ変調方式

出力符号と入力符号の差を積分し、この積分結果が最小となるように符号を出力するものである、この方式で符号化すると、出力符号列に含まれる量子化雑音が主として高い周波数領域に分布する性質をもつので、ノイズシェイピング方式とも呼ばれる。

3：混合方式[10]

上の2種類の機能を混合したものが第3の方式である。予測器とノイズシェイピングフィルタの両方を持つ。これは主として補間型と呼ばれる方式である。

2.2.1 デルタ変調

デルタ変調器は、入力信号を予測する回路と、入力信号と予測信号を比較する回路により構成される。入力信号の予測は、あるサンプリング時点までに出力された過去のデータを用いて行う。入力信号と予測器の予測信号との大小が比較され、入力信号の方が大きければ 1 を出力するとともに、予測器に対して予測電圧を 1 ステップ増加させるための制御信号をフィードバックする。予測器は、それまでのフィードバック信号に対する予測電圧を更新して、新しい予測電圧を生成する。入力信号の方が小さければ 0 を出力するとともに、予測電圧を 1 ステップ減じる。この操作を繰り返すことにより、入力に応じた信号を生成する。この信号は、入力信号と予測器により生成される予測信号との差に対して符号化されたものであり、予測信号と入力信号との差が最小になるように符号化が行われている。最も簡単な 1 次予測デルタ変調器の構成を図 2.3 に、信号波形を図 2.4 に示す。

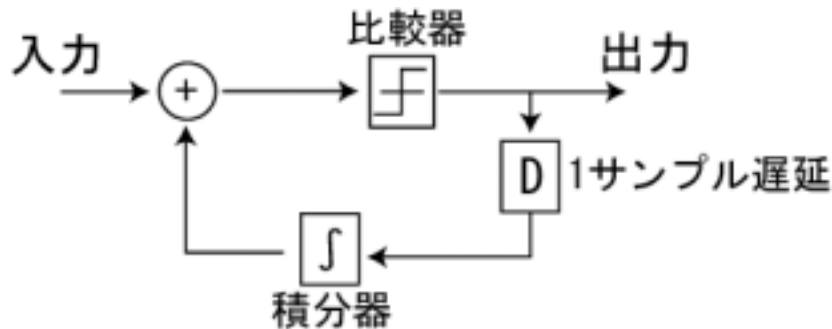
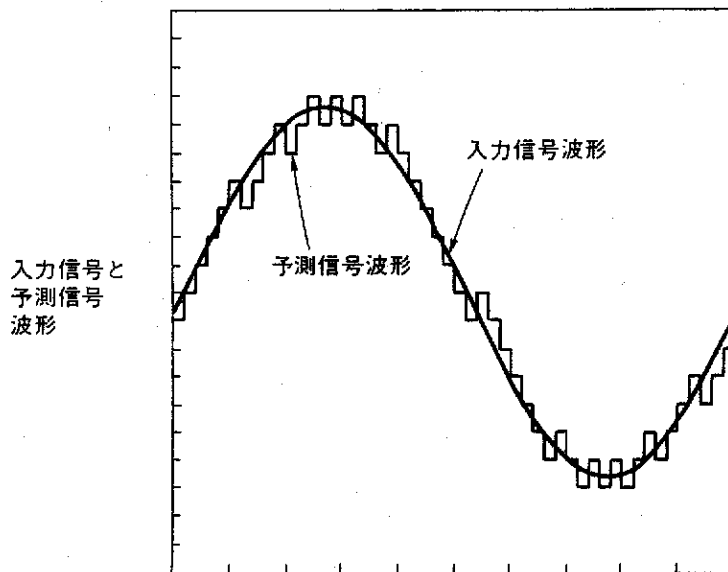
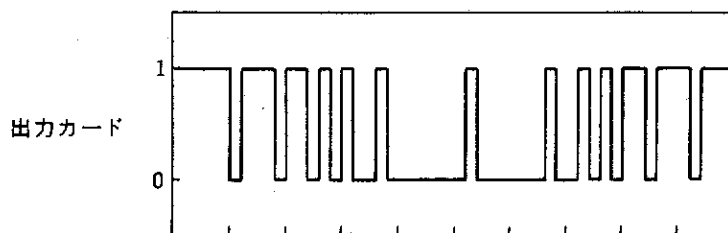


図 2.3 デルタ変調器の構成

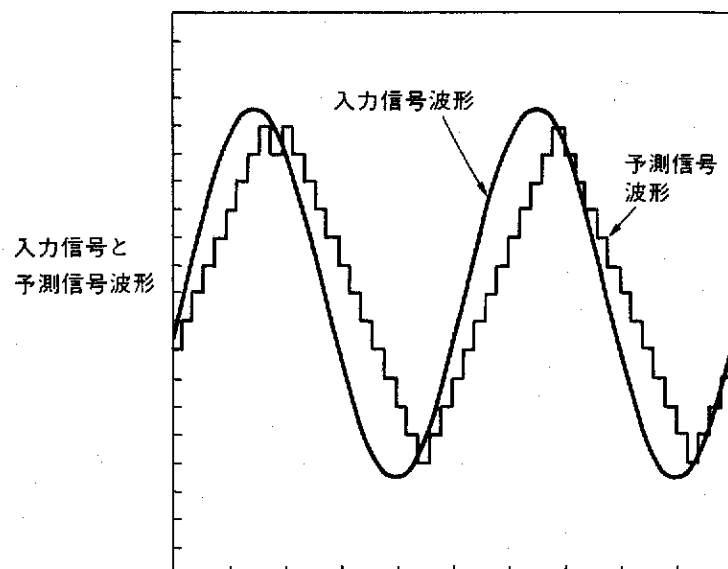
デルタ変調器はステップ・サイズが小さく、量子化雑音のスペクトラムが白色であるのでフィルタの帯域外阻止特性は緩やかですむ。しかし比較器での比較電圧も非常に小さいので、高速・高利得の比較器が必要である。また、入力信号の振幅は傾斜過負荷の制限を受けるので、帯域外の雑音には弱い。この性質は予測器の次数が大きくなるほど強くなる。これを補償するためにはオーバーサンプリング比を理論上必要とされる値よりかなり高く設定する必要がある。したがって、もともと低い周波数にスペクトルが偏る音声などの符号化に対しては、能率のよいハードウェアといえる。しかし信号帯域外の周波数の雑音成分が多く含まれる信号を変換した後、必要帯域内の信号を抽出する場合には不向きであることを意味している。デルタ変調技術は直接応用されるより、アダプティブデルタ変調器[11]など、音声信号の高能率符号化に用いられることが多い。



(a) 入力信号と予測信号波形



(b) 比較器出力符号



(c) 傾斜過負荷を生じたときの入力信号と予測信号波形

図 2.4 デルタ変調の信号波形

2.2.2 デルタシグマ変調

デルタ変調を行って得られるのは差分符号であるから，デルタ変調を行う前に信号を積分してからデルタ変調すれば，出力符号が差分符号であるという欠点を打ち消すことができる．それとともに，傾斜過負荷による制限もなくすることができる．復調器では，入力側に付加した積分操作を打ち消すため出力信号を微分すれば信号に対する伝達特性は変わらない．図 2.5 にデルタシグマ変調器の基本構成を，図 2.6 に各部分での出力信号を示す．この変調器の出力符号は差分符号ではないので，直流成分も表現することができ，最も汎用性に富んでいる．

デルタ変調器の入力部分に積分器があるので，入力信号は増幅される．この非常に大きな信号をデルタ変調しているとみれば，デルタシグマ変調器も信号に追従して変換を行っているともみることができる．入力信号を積分した波形は，これを行う積分器がフィードバック側の積分器と兼ねる形で比較器の前に置かれているため，仮想的な信号である．よって，仮想的な信号では無限大になる直流信号に対しても，実際のデルタシグマ変調器の内部電圧が発散することはない．

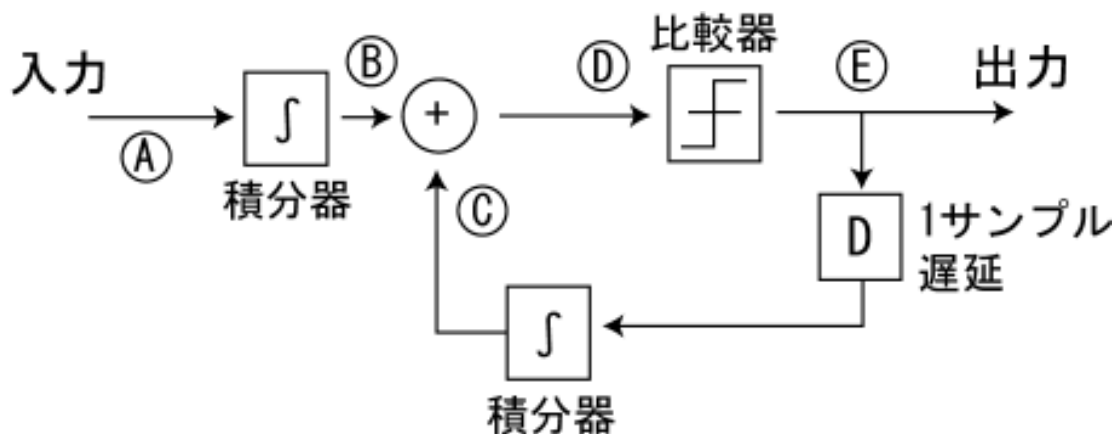


図 2.5 デルタシグマ変調方式の構成

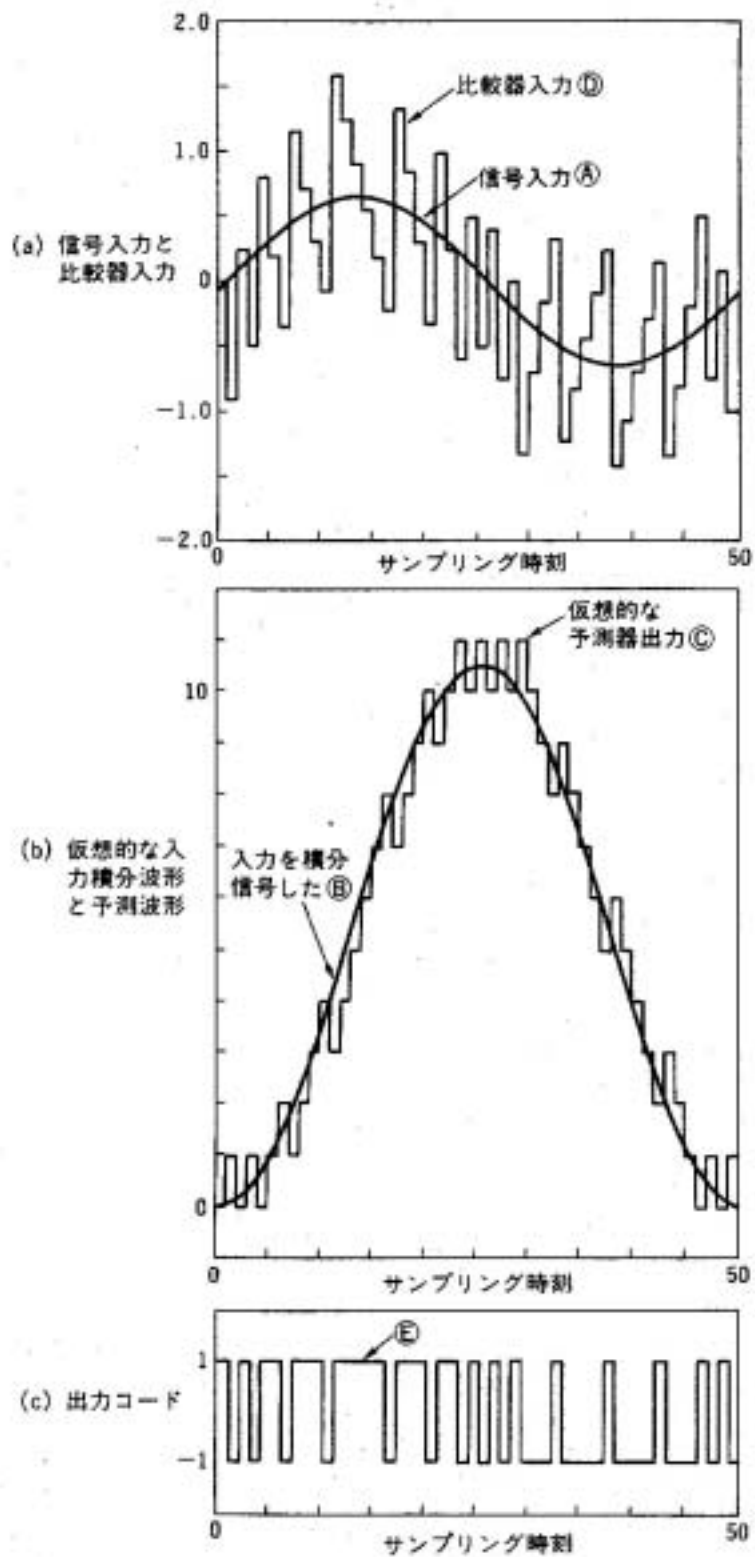


図 2.6 デルタシグマ変調の各信号波形

デルタシグマ変調器では，デルタ変調器に対してあらかじめ積分した信号を入力したのと等価であるから，入力信号はそのまま出力に伝達される．量子化雑音だけが 1 次差分の形になる．したがって，この雑音スペクトラムは高い周波数ほど多く分布することになる．これをノイズシェーピング特性と呼ぶ．デルタシグマ変調器に対する入力を $X(z)$ ，出力を $Y(z)$ ，帯域内雑音を $Q(z)$ ，ステップサイズを Δ ，帯域内上限周波数を f_{\max} ，サンプリング周波数を f_s として，例えば 1 次のデルタシグマ変調器に対して信号の伝達関数を求めると

$$\{X(z) - z^{-1}Y(z)\} \frac{1}{1 - z^{-1}} + Q(z) = Y(z) \quad \text{数式 2-1}$$

この式を整理して

$$Y(z) = X(z) + (1 - z^{-1})Q(z) \quad \text{数式 2-2}$$

帯域内雑音 $Q(z)$ を白色とし，直流から信号帯域の上限 f_{\max} までの周波数に含まれる量子化雑音電圧を $Q(\omega T)$ ，フィルタ特性を $H(\omega T)$ ，サンプリング周波数で規格化した信号帯域 $2\pi f_{\max} / f_s = \theta$ とおくと帯域内雑音量 \overline{N}^2 は

$$\overline{N}^2 = |Q(\omega T)|^2 \frac{1}{2\pi} \int_{-\theta}^{\theta} |H(\omega T)|^2 d(\omega T) \quad \text{数式 2-3}$$

で表される．

$|Q(\omega T)|^2$ を $\Delta^2 / 3$ ， $H(\omega T)$ を $1 - z^{-1}$ ， z^{-1} を $e^{-j\omega T}$ とおいて計算すると

$$\begin{aligned} \overline{N}^2 &= \frac{\Delta^2}{3} \frac{1}{2\pi} \int_{-\theta}^{\theta} 4 \sin^2(\omega T / 2) d(\omega T) \\ &= \frac{\Delta^2}{3} \frac{2}{\pi} (\theta - \sin \theta) \end{aligned} \quad \text{数式 2-4}$$

となる．

式 2-4 の括弧内は θ が充分小さければ次のように近似できる．

$$\overline{N}^2 = \frac{\Delta^2}{9\pi} \theta^3 \quad \text{数式 2-5}$$

これにより，デルタシグマ変調器の出力パルスに対するスペクトラムは図 2.7 のようなスペクトラム特性となる．

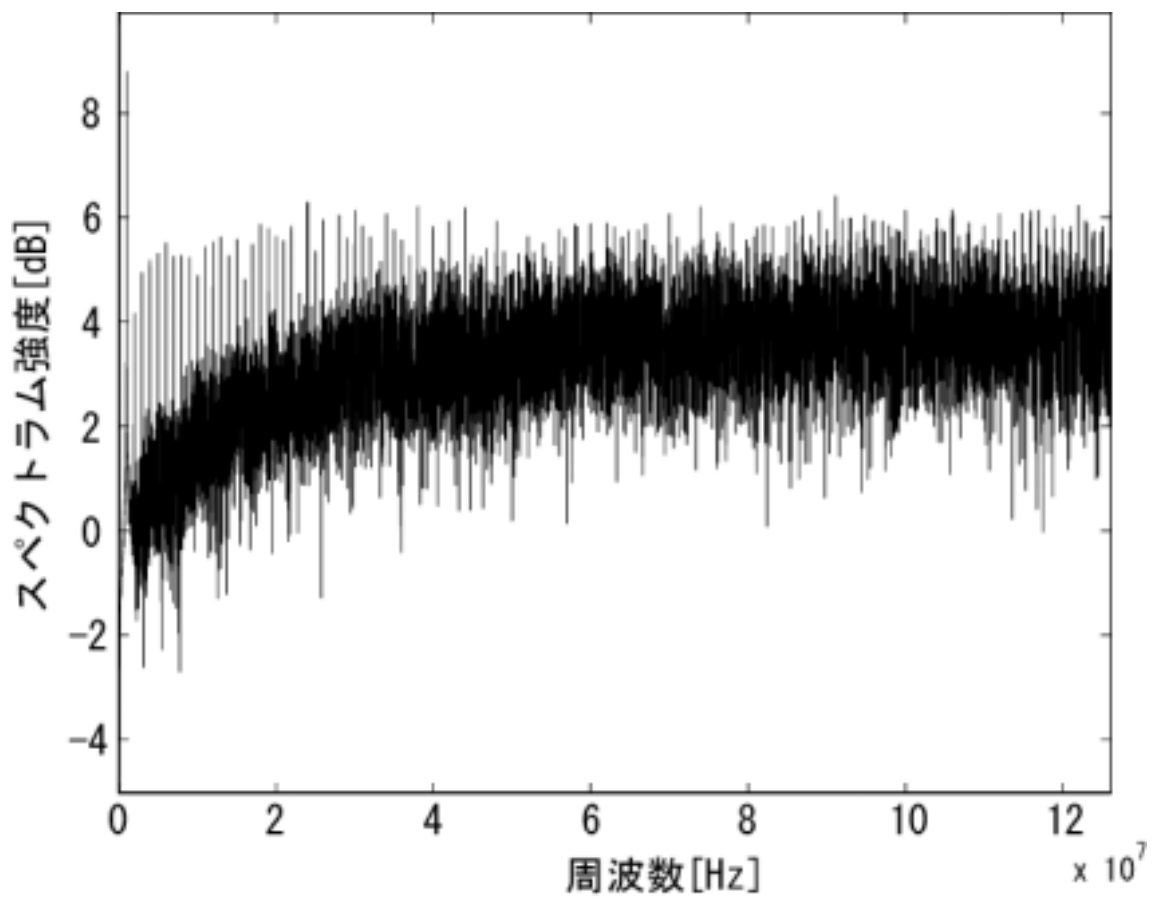


図 2.4 ノイズシェーピング特性

2.3 デルタシグマ型 DA コンバータ

デルタ変調やデルタシグマ変調は，従来 AD 変換を行うとき必要となる DA 変換器の分解能を 1 ビットにすることにより，素子精度に対する制約を大幅に緩和する方法であった．また，サンプリング周波数を高くすることでプレフィルタに対する要求を緩和して，高品質 AD 変換器の集積化を容易にする見通しを得る技術である．このことは DA 変換器を実現する上でも同じである．

普通，オーバーサンプリング用の変調器に対する入力信号はアナログを仮定している．しかし，入力信号を多ビットのデジタル信号と考えて，この信号を 1 ビットの信号に変換すると考えても差し支えない．ノイズシェーピング特性により，信号と雑音が別の周波数領域に分布するため，この雑音を除去するアナログフィルタができれば，それはすなわち高精度の DA 変換器である．

従来の DA 変換器は，イメージ信号を除去するために急峻な周波数特性をもったポストフィルタが必要だった[12]．従来型の 4 倍，もしくは 8 倍オーバーサンプリングといわれるものは，このポストフィルタに対する負担を軽減する技術である．デルタシグマ変調を DA 変換器に取り込んだ場合，デルタシグマ変調を行った 1 ビット信号はナイキスト周波数も高く，量子化雑音は周波数に対してなだらかに増加する．さらに，DA 変換器では AD 変換器のような折り返しは生じないため，ポストフィルタに対する帯域外除去特性は，AD 変換器ほど厳密なものはないことが多い．

デルタシグマ型コンバータはノイズシェーピング特性の違いによって，大きく分けて 2 種類存在する．一方は先ほど特性を示した Lowpass 型のノイズシェーピング特性を持つタイプであり，もう一方は Bandpass 型のノイズシェーピング特性をもつタイプである．それぞれに特徴があり，Lowpass 型は構成が簡単であり，帯域が動作クロックに依存している．一方 Bandpass 型はアップコンバータを必要とし，帯域を広く取るのは難しい．この Bandpass 型はダイレクトコンバージョン方式に適した DA/AD コンバータである．この Bandpass 型においては前章で紹介した研究のほか，AD コンバータとしての研究が幅広く行なわれている[13][14]．また，様々な変形型が存在し，デジタルハードウェア演算の削減を目的とした直接混合型[15]，クロックと帰還信号のタイミングを緩和させる遅延挿入型[16]，デルタシグマ変調を多段で行い，量子化雑音の低減を図るデジタル合成型[17]などが研究されている．しかし，Lowpass 型のデルタシグマ DA コンバータの無線周波数帯への応用はほとんど報告されていない．本論文では低 IF 方式に対しての応用を目的としているため，Lowpass 型のデルタシグマ型 DA コンバータで検討を行った．

第3章 低IF帯用デルタシグマ型DAコンバータ

この章では低IF帯用のデルタシグマ型DAコンバータに関する基礎的な検討を行っている。最終的にFPGAに実装を行い動作を確認しなければならないため、できるだけ低いオーバーサンプリング比で動作するデルタシグマ型DAコンバータを検討した。3.1でデルタシグマ型DAコンバータに必要な次数を示し、3.2で基本的なモデルに正弦波を入力することによって動作の確認を行う。3.3で正しくDA変換が来ているか確認のため変調波を用いた検討を行い、それを受けて3.5では異なったモデルを検討し、3.6でまとめとする。

3.1 デルタシグマ型DAコンバータの構成

一般的にデルタシグマ変調器はオーバーサンプリング比を高くすればS/N比と分解能が高くなることが知られている。そこで数式2-4からオーバーサンプリング比と正弦波入力信号に対する最大S/N比を求めたものが図3.1である。できるだけ低いオーバーサンプリング比で動作させたいため、この図よりオーバーサンプリング比が100倍以下程度で12~16ビットのマルチビットコンバータと同等のS/N比を得るには2次~4次の構成が適していると考えられる。

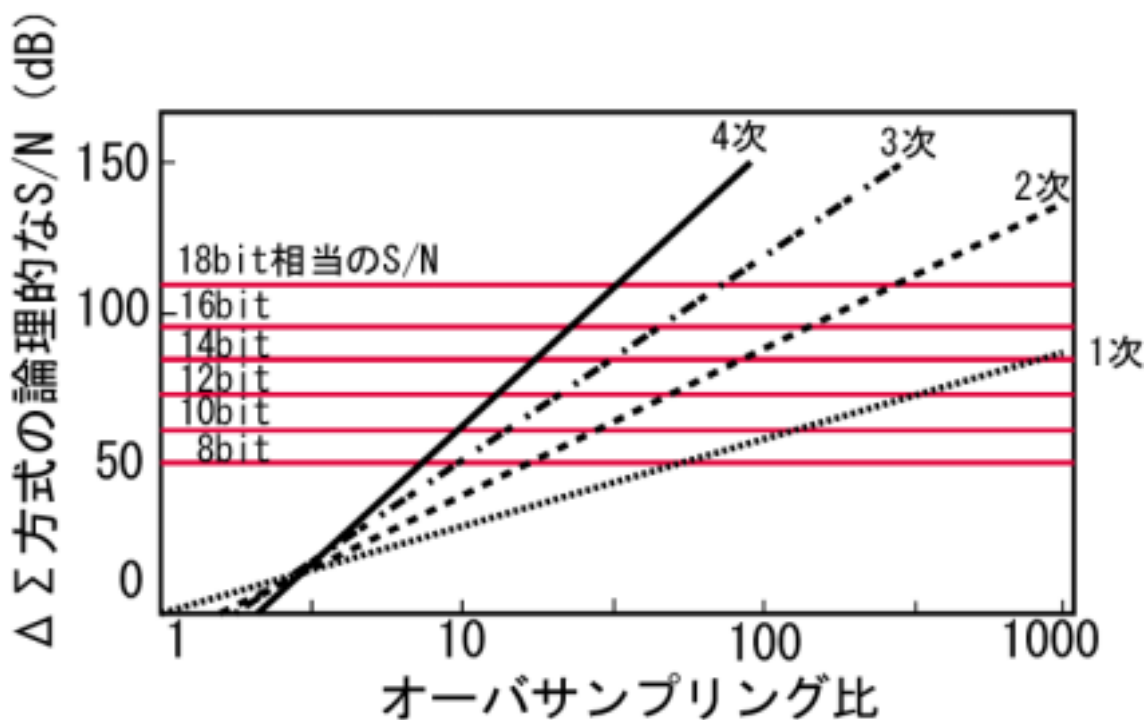


図 3.1 オーバーサンプリング比に対する S/N 比

3.2 基本モデルによるシミュレーション

3.2.1 基本モデルの構成

最も基本的なモデルを MATLAB によりモデリングを行なった．そこに正弦波を入力しその出力波形を測定した．図 3.2 にその構成を示す．

このモデルは二つの加算器と遅延，一つの積分器で構成されている 2 次のデルタシグマ型 DA コンバータである．このモデルに正弦波を入力しデルタシグマ変換を行う．その後アナログローパスフィルターに通し，アナログ正弦波を生成させる．オーバーサンプリング比を決定するのはこのモデルにおいては遅延素子によって行なう．遅延時間を入力信号の何倍にするかによってオーバーサンプリング比は変化する．シミュレーションの諸元を表 3.1 に示す．

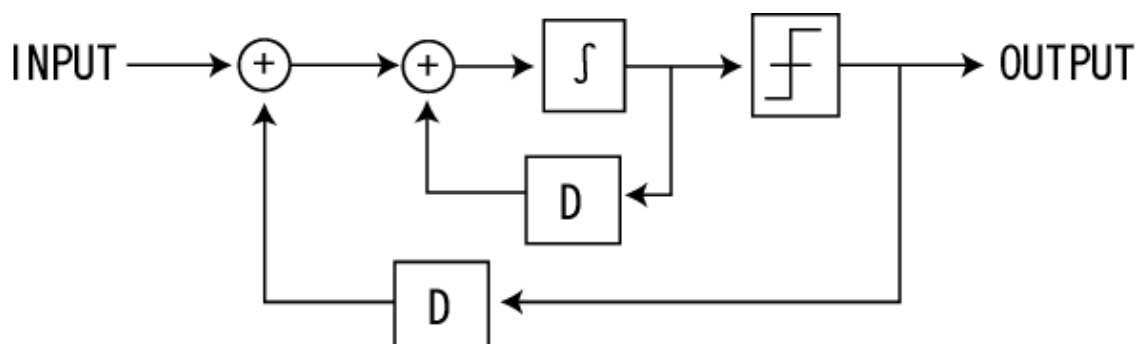


図 3.2 基本デルタシグマ型 DA コンバータの構成

モデル	2 次デルタシグマ型 DA コンバータ
入力	10MHz 正弦波
オーバーサンプリング比	遅延素子により変化
LPF 通過帯域	10MHz

表 3.1 シミュレーション諸元

3.2.2 シミュレーション結果

オーバーサンプリング比を変化させて正弦波をデルタシグマ変換した波形を図 3.3～3.6 に示した。500 倍オーバーサンプリングが図 3.3，200 倍，100 倍，50 倍がそれぞれ図 3.4，図 3.5，図 3.6 となっている。そして LPF を通過させた波形を図 3.7 に示した。いずれの図も横軸が時間，縦軸出力信号レベルとなっている。いずれも 1 ビットの信号に変換されていることがわかる。オーバーサンプリング比を下げれば出力に得られるパルスも少なくなり，変換精度に影響を与えることがわかる。また，デルタシグマ変換後のスペクトルを図 3.8 に示す。横軸周波数，縦軸信号レベルとなっている。この図より入力信号の 10MHz 近辺において，信号自身のスペクトルとノイズシェーピング特性が得られていることがわかる。この結果から，正弦波等の単純な波であれば，オーバーサンプリング比 20 倍程度で変換は可能であるということがわかった。デルタシグマ変調は振幅の情報をパルスの幅に変換するパルス幅変調である。そのため，オーバーサンプリング比を下げるということは，細かい振幅の変化に対して分解能を下げるということである。そのため，振幅変調や位相変調などの複雑な波を変換する際はさらに高いオーバーサンプリング比が必要であると考えられる。

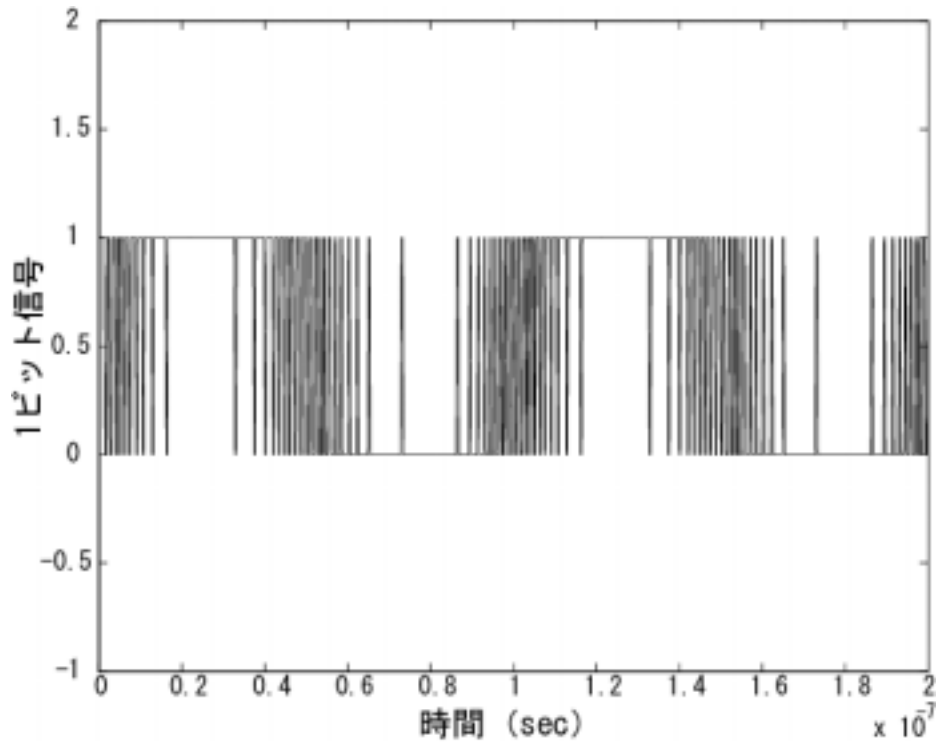


図 3.3 500 倍オーバーサンプリングデルタシグマ変換波形

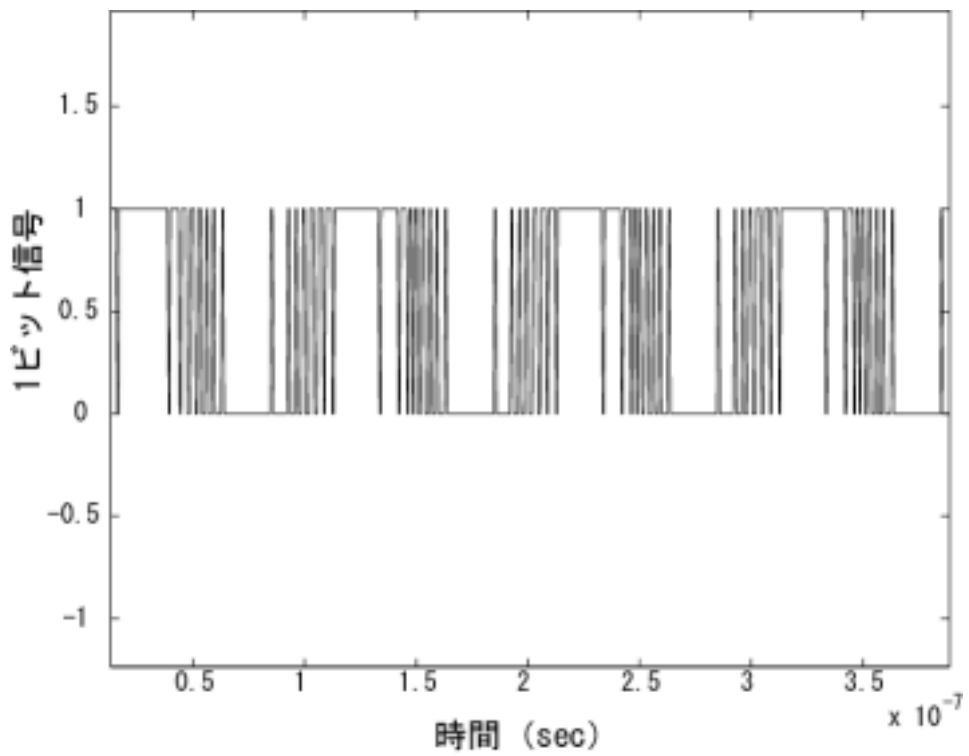


図 3.4 200 倍オーバーサンプリングデルタシグマ変換波形

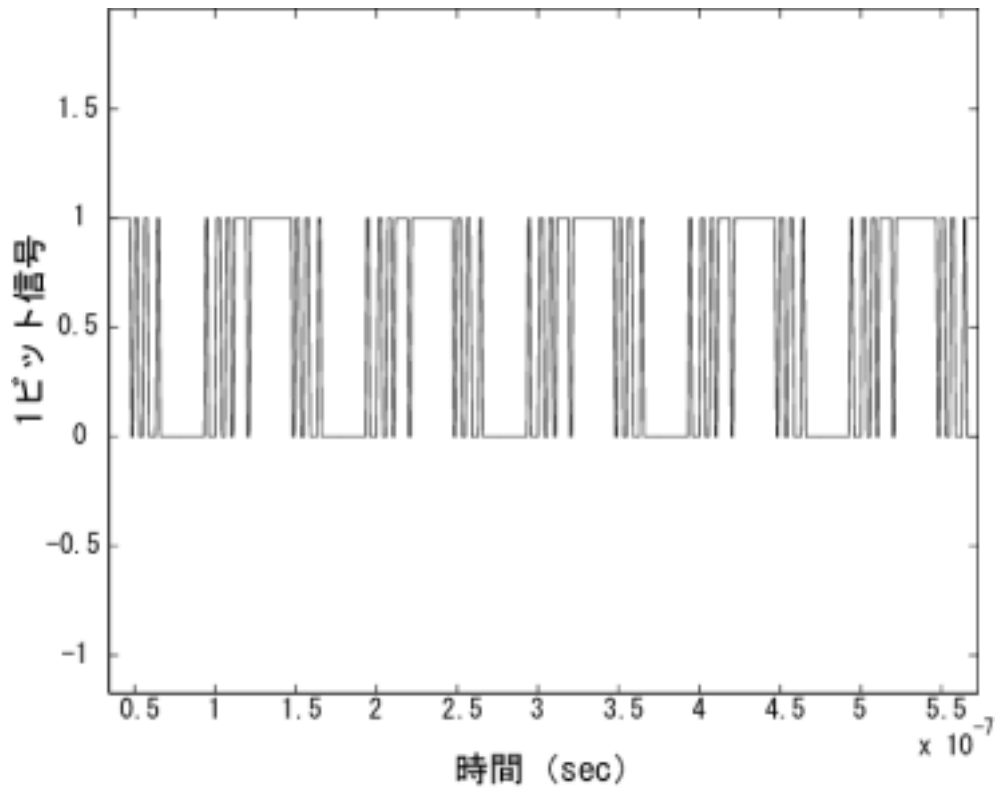


図 3.5 100 倍オーバーサンプリングデルタシグマ変換波形

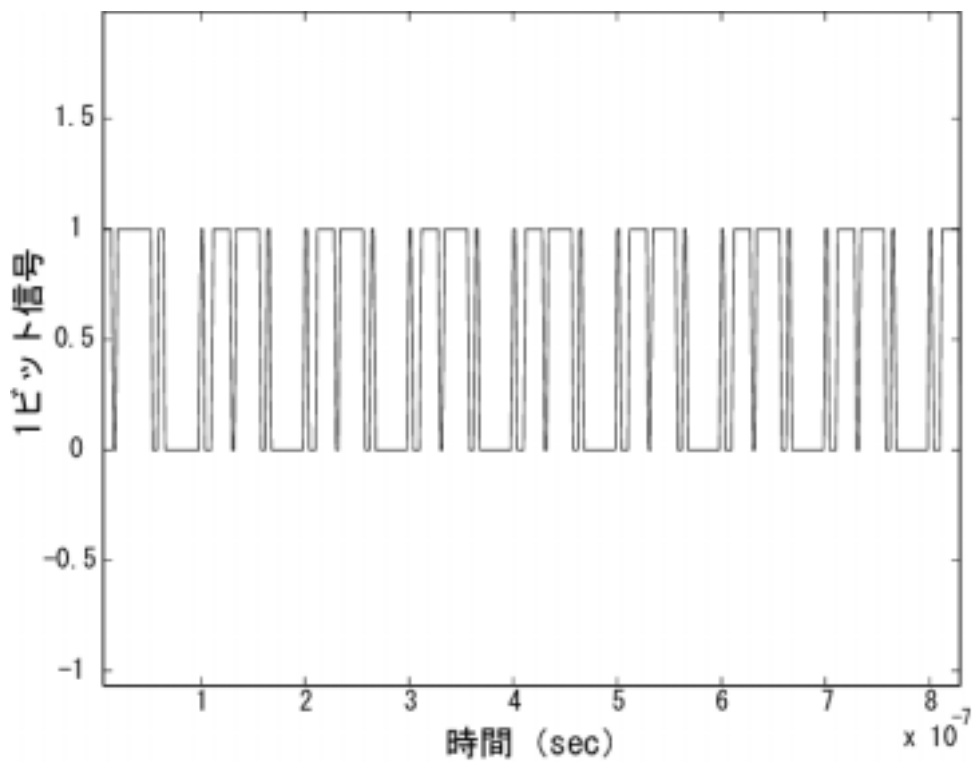


図 3.6 50 倍オーバーサンプリングデルタシグマ変換波形

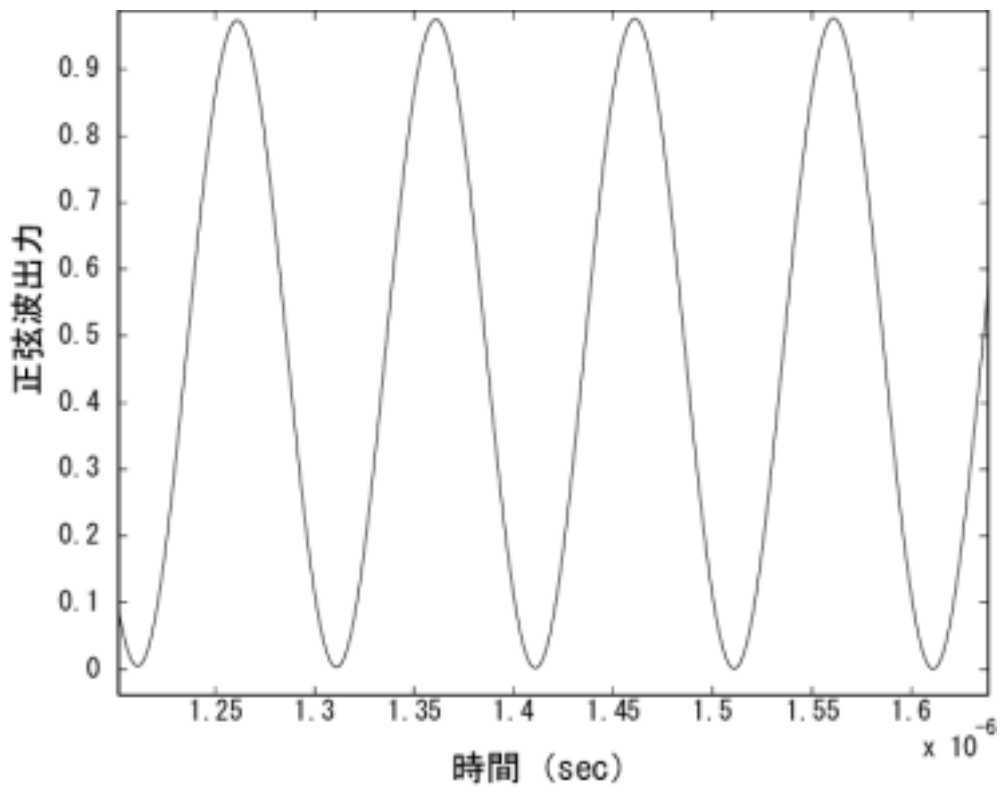


図 3.7 LPF 通過後の正弦波波形

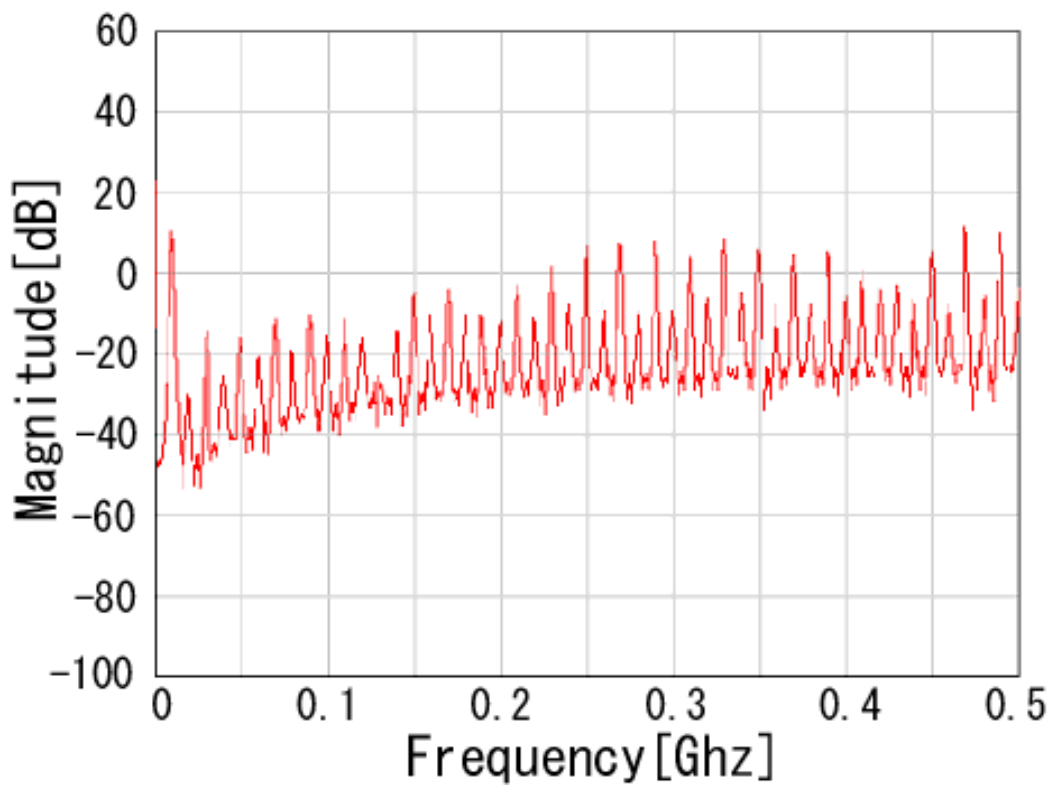


図 3.8 デルタシグマ変換後の周波数特性

3.3 高次モデルのシミュレーション

3.3.1 高次モデルの構成

一般的にデルタシグマ型変調器は高次にするとオーバーサンプリング比を下げる事ができる。図 3.1 より、2 次～4 次のデルタシグマ型 DA コンバータが適していると考えられる。そこで高次型のモデルで検討を行った。しかしながら、高次化を行うと変調器は不安定になることが知られている。この問題を回避するために伝達関数を変更する方法[18][19]も考えられるが、今回は動作が安定している高次型のモデル[20]を参考にシミュレーションモデルを構成した。入力波も正弦波から QPSK 変調波に変更した。これは正弦波に比べより複雑な波をどれだけのオーバーサンプリングで正しく変換できるか確認するためである。シミュレーションモデルとシミュレーション諸元を図 3.2、表 3.1 に示した。高次型のモデルは離散積分器と遅延素子、加算器で構成されており、離散積分器を増やすことで次数を変化させることができる。

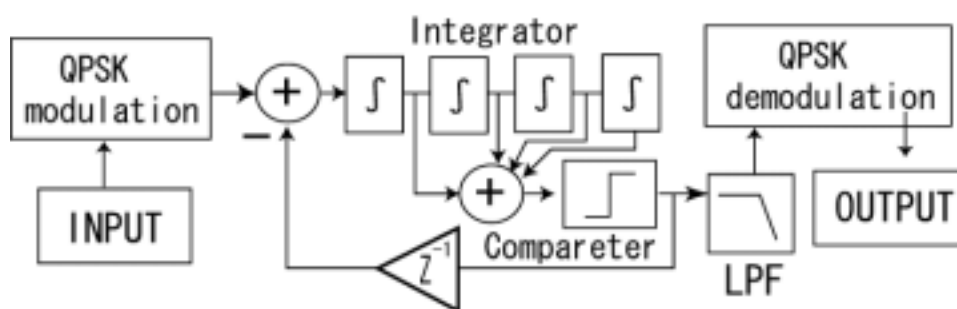


図 3.9 高次デルタシグマ型 DA コンバータの構成

モデル	高次デルタシグマ型 DA コンバータ
入力	4MHzQPSK 変調波
オーバーサンプリング比	遅延素子により変化
LPF	4 次チェビシェフ

図 3.2 シミュレーション諸元

3.3.2 シミュレーション結果

入力に用いた信号は周波数 4 MHz, シンボルレート 2 MHz の QPSK 変調波を用いている。入力波形を図 3.10 に示す。これに対しオーバーサンプリング比を変化させて、入力と出力の信号を比較し、変換の正確さを測定した。またデルタシグマ型 DA コンバータの次数を 2 次～6 次に変化させて同様のシミュレーションを行った。また、その際のオーバーサンプリング比に対するエラーの割合の関係を図 3.13 に示した。比較の方法として、入力時にランダム 4 値 (00.01.10.11) を発生させそれを QPSK 変調させる。そしてそれをデルタシグマ変換し、フィルタに通し擬似アナログ信号とする。そしてそれを復調させ、入力の 4 値と比べる方法を用いる。それを繰り返して行い、10000 回程度試行したときの信号の正確さを測定した。

図 3.13 より、オーバーサンプリング比が高いほど変換エラーが少ないことがわかる。また、次数を変化させた場合、3 次と 4 次の間で大きな変化が見られたが、それ以上次数を増やしても大きな変化は見られなかった。また 80 倍のオーバーサンプリング比を下回ると急激にエラーが増加する傾向も変わらなかった。また正弦波を入力しその出力波形のスペクトルを調べたところ、ノイズシェーピング特性が得られていないことがわかった。図 3.14 に高次化モデルに正弦波を入力した際の出力のスペクトルを示す。そのため、このモデルには何かしら問題があるのではないかと考えられる。

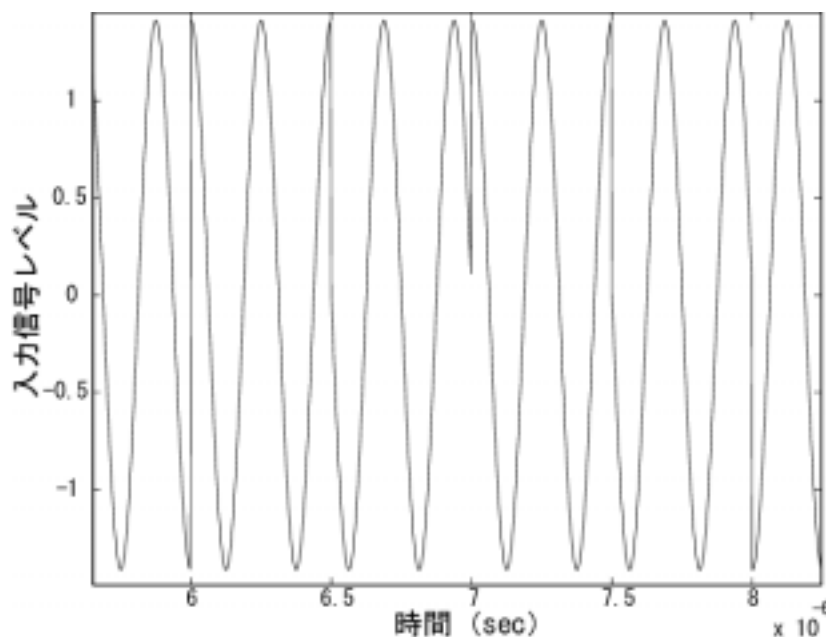


図 3.10 入力 QPSK 変調波

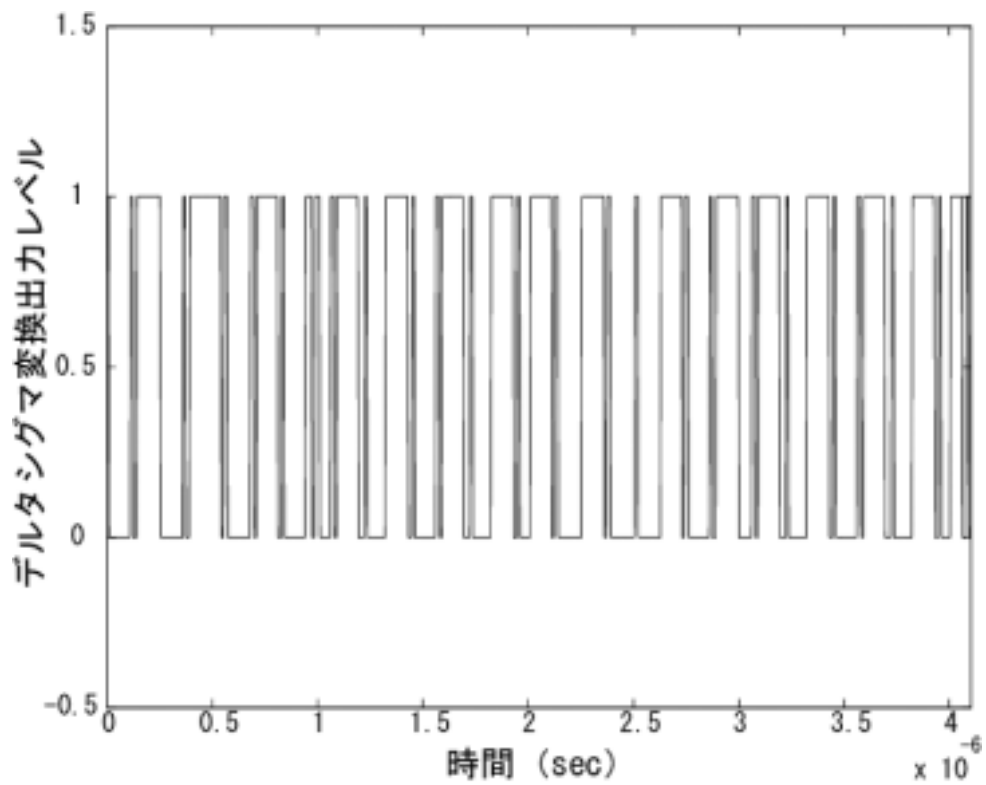


図 3.11 デルタシグマ変換後の波形

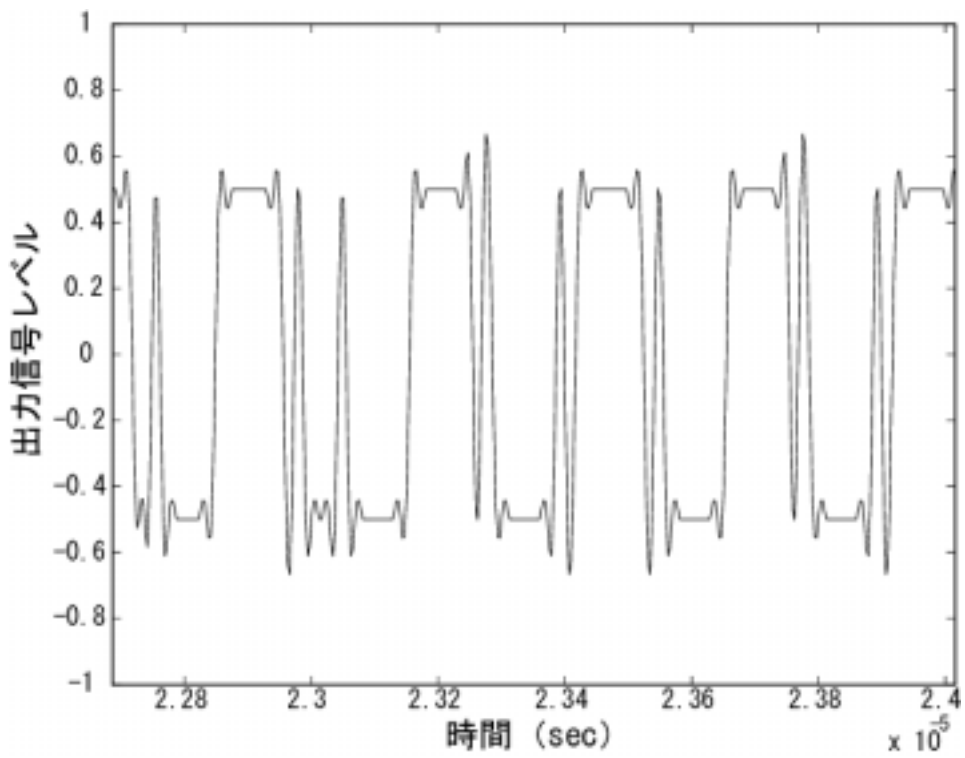


図 3.12 フィルタ通過後の波形

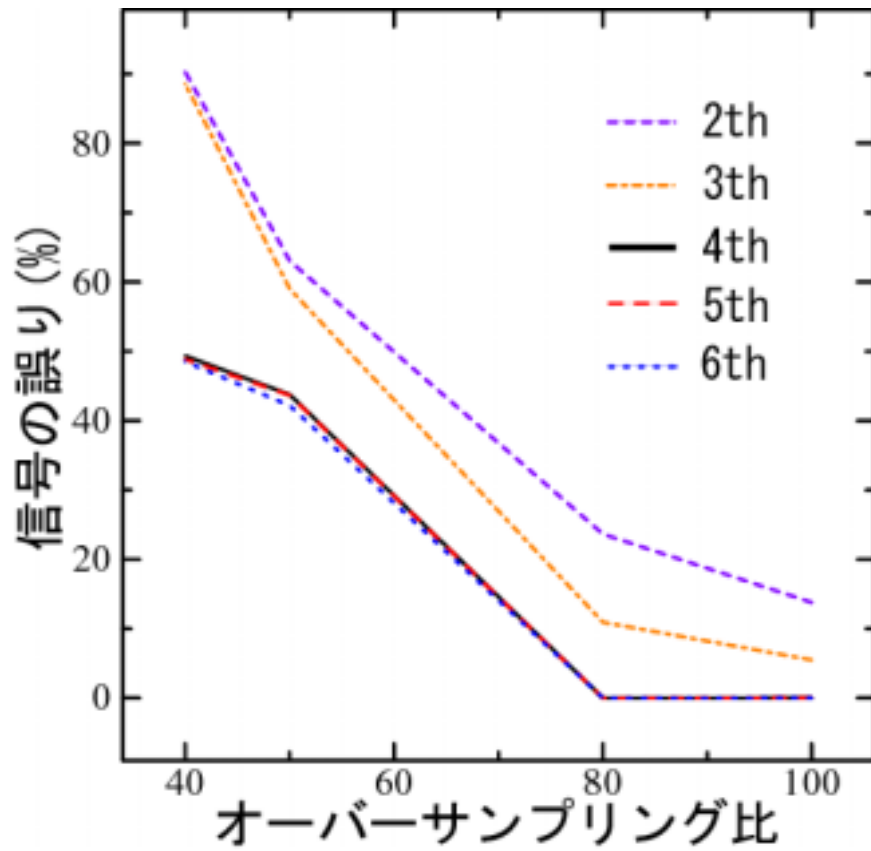


図 3.13 オーバーサンプリング比に対するエラー.

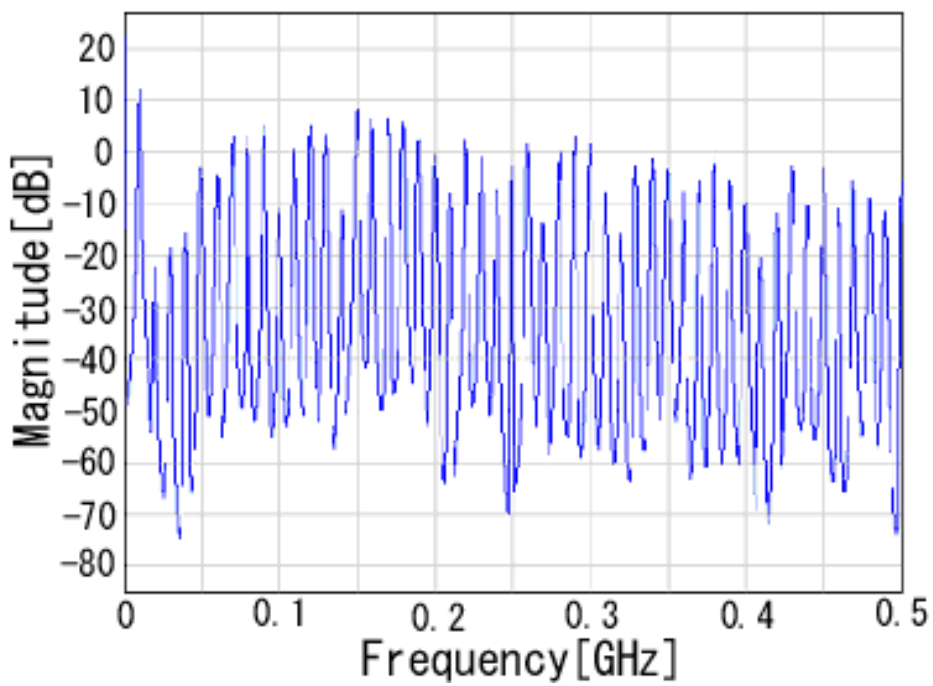


図 3.14 高次モデルのスペクトル

3.3.3 パルス幅に関する検討

このモデルにおいてオーバーサンプリング比 80 倍以下でエラーが増加し、ノイズシェーピング特性が得られない原因について検討を行なった。

デルタシグマ型 DA コンバータはサンプリング周波数と動作クロックが同じ周波数である。そのため変換後の 1 ビットパルスの中で最も短いパルスはクロックと同じ周波数になるはずである。周波数の高いパルスが得られるということは高い分解能、SN 比が得られることを意味する。前述のモデルに正弦波を入力した際の中間信号を観察したところ、閾値を最短パルスが交差していないことがわかった。理想的な中間信号は図 3.15 のようになるが、前述のシミュレーションで得られた波形は図 3.16 のようになり、最短パルス幅が閾値を交差していないことがわかる。

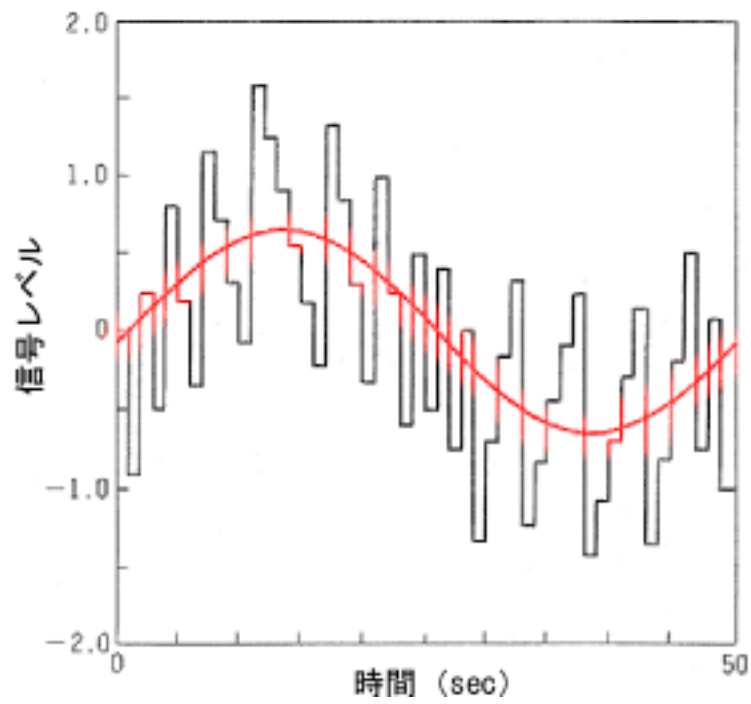


図 3.15 理想的な中間信号

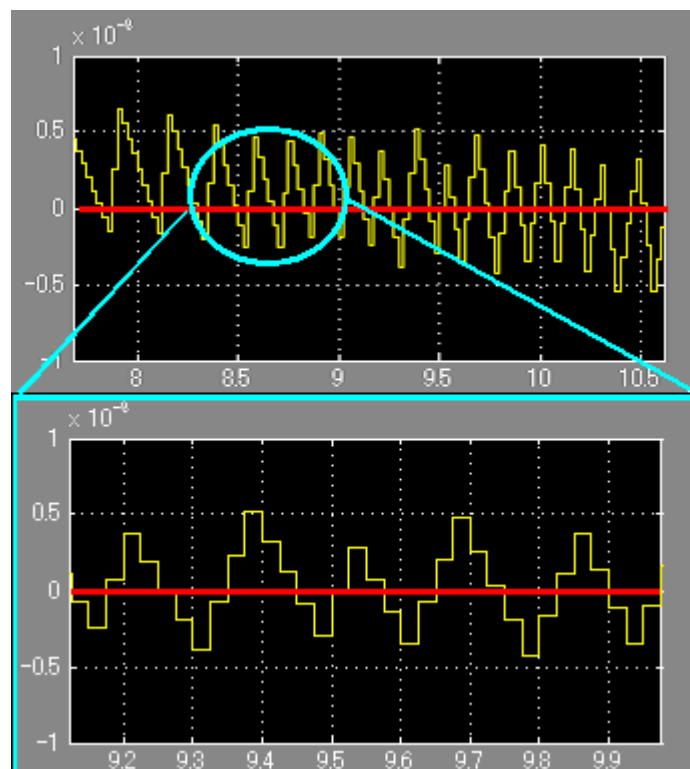


図 3.16 高次モデルの中間信号

既存のデルタシグマ型 DA コンバータ等を参考にモデル内の帰還信号に対する重み付けを様々に変えたり，信号の流れを変えたりしてシミュレーションを行った結果，離散積分器を含んだモデルでは最短パルスが得られていないことがわかった．このとき得られている最も短いパルスは，クロックの 2 倍のパルスであり，これは実際行なっているオーバーサンプリング比の 2 倍のオーバーサンプリング比で変換していることと変わらないことを意味する．このため離散積分器を含まないモデルを構成し，中間信号を測定した．離散積分器を取り除いたモデルを図 3.17 に示す．このモデルに正弦波を入力した際のデルタシグマ変換波形と中間信号を図 3.18 に示す．またそのときの出力のスペクトルを図 3.19 に示す．

図 3.17 より，中間信号の最も密な地点においてクロックと同周波数で閾値を交差していることがわかる．また，スペクトル波形より，ノイズシェーピング特性が得られていることがわかり，20dB 以上の S/N 比が得られていることがわかる．これにより，デルタシグマ変換後の波形においてクロックと同周波数のパルスが得られることになり，高い分解能が得られると考えられる．

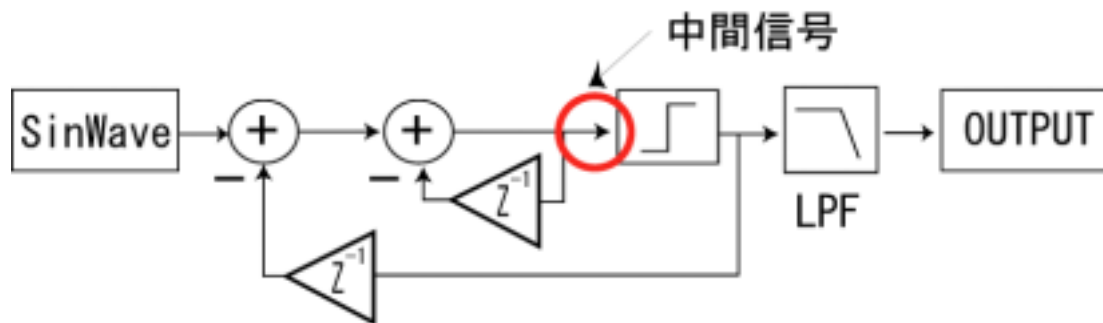


図 3.17 離散積分器を取り除いたモデル

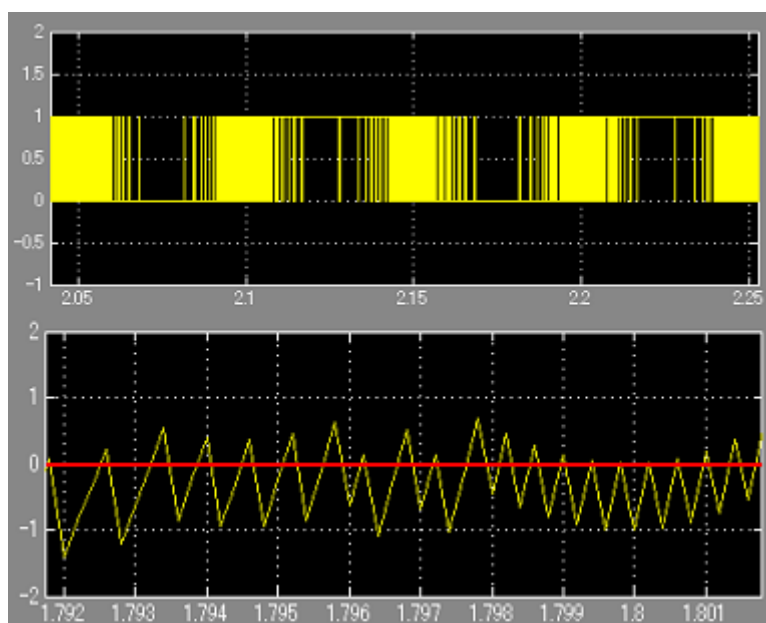


図 3.18 離散積分器を含まないモデルの信号波形

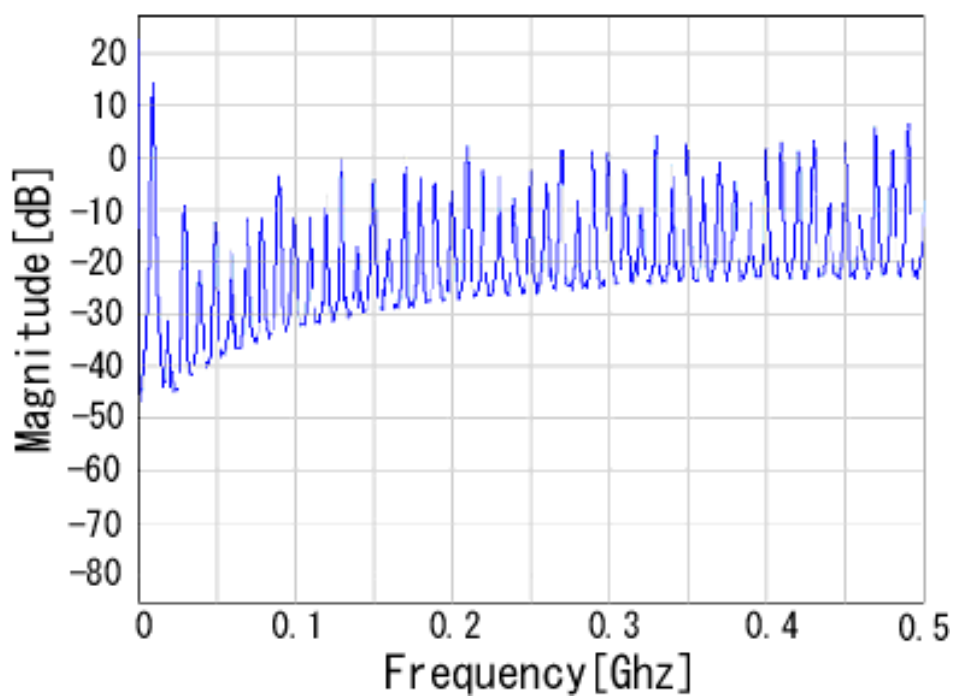


図 3.19 離散積分器を含まないモデルのスペクトル

3.4 離散積分器の無いモデルのシミュレーション

3.4.1 離散積分器の無いモデルの構成

離散積分器の無いモデルに対して QPSK 変調波を入力し、出力と比べてエラー率を測定したシミュレーションモデルの構成を図 3.20 に示す。入力する波は先ほどのシミュレーションと同じものである。このモデルは比較的簡単な構成となっているため、安定な動作をするとともに、FPGA への実装も容易な形となっている。しかしながら高次化することには向いておらず、3 次以上では満足の良い動作は得られない。

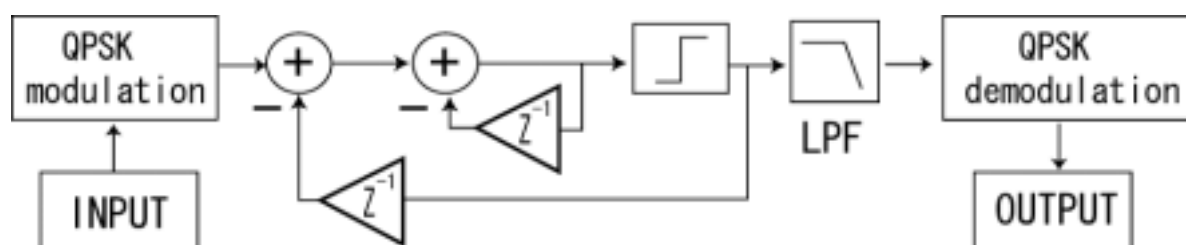


図 3.17 離散積分器を含まないモデルの構成

3.4.2 シミュレーション結果

シミュレーション結果を図 3.21 に示す。離散積分器を含まないモデルにおいては、40 倍のオーバーサンプリングにおいて QPSK 変調波を変換できることがこの図からわかる。高次モデルにおいて 80 倍のオーバーサンプリングが限界であったが、そのモデルにおいて得られていた最短パルスが、クロックの 2 倍であったことを考えると、今回はオーバーサンプリング比に見合った分解能が得られていると見ることができる。

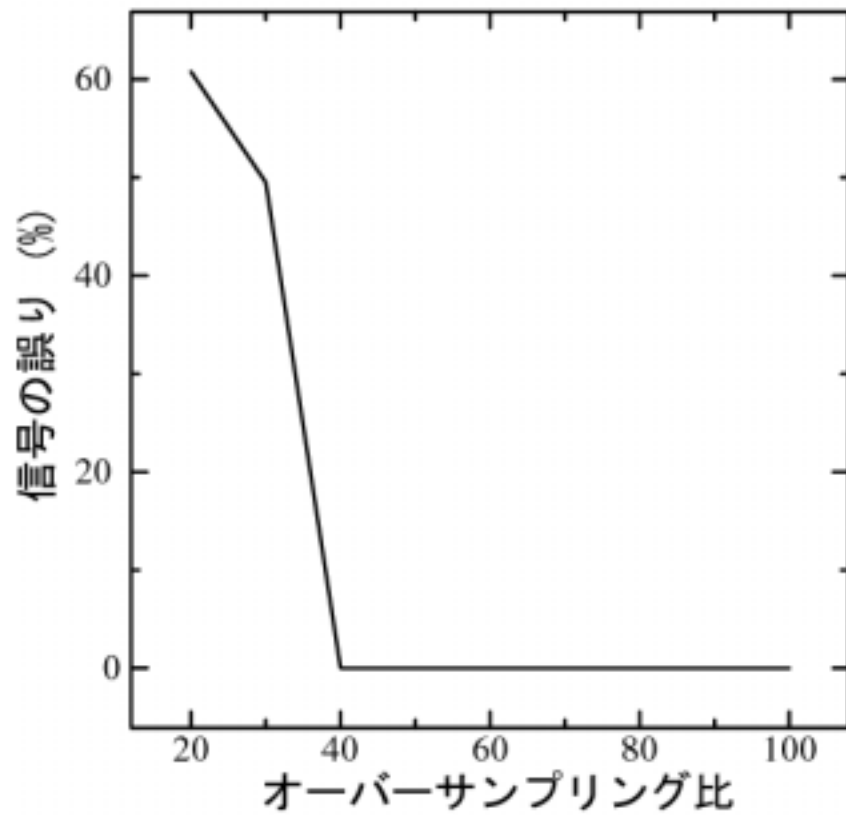


図 3.18 オーバーサンプリング比に対する信号の誤り

3.5 まとめ

低 IF 帯用デルタシグマ型 DA コンバータのシミュレーションとして、高次型のモデルと積分器を含まないモデルで検討を行った。

高次型のモデルにおいては 80 倍のオーバーサンプリングで QPSK 変調波を変換することができたが、得られるパルスがクロック周波数の 2 倍程度であったため、あまり高い分解能を得ることができない事がわかった。またノイズシェーピング特性がうまく得られずモデルとして不十分であるといえる。

一方離散積分器を含まないモデルで検討を行ったところ、クロックと同周波数のパルスが得られ、ノイズシェーピング特性も得ることができた。また 40 倍のオーバーサンプリングで QPSK 変調波を変換することができた。

FPGA の実装においてはできるだけ低いクロック周波数で動作させる必要がある。またできるだけ演算量を少なくしたモデルが好ましい。積分器は比較的多くのゲートを消費するため、できるだけ含まない方がよい。そのため、より低いクロックで高い分解能が得られるであろう離散積分器を含まないモデルを実装することにする。

第4章 オーバーサンプリングデルタシグマ

DA 変換器の FPGA での実装

これまで検討を行ってきた低 IF 帯用デルタシグマ型 DA コンバータを実際に動作させ、評価するために FPGA への実装を行った。4.1 では実装を行なうモデルの構成を示し、4.2 でシミュレーションを行なう。4.3 において実装する FPGA ボードについて説明し実装を行う。

4.1 VHDL によるモデリング

まず、FPGA に実装するために VHDL によってデルタシグマ型 DA コンバータを記述しシミュレーションを行い、動作確認を行った。その構成を図 4.1 に示す。モデルは加算器 2 つと遅延素子 2 つとコンパレータで構成される。入力された 16 ビットの信号は、コンパレータから送られてくる自身の正か負の最大振幅が加えられ、次に自身の 1 クロック前の信号が加算される。その後コンパレータにより正負の判定が行なわれ、1 ビットの信号が出力される。それぞれのブロックを VHDL で記述を行い、組み合わせることでデルタシグマ型 DA コンバータとして動作させる。

入力信号には 16 ビット信号を用い、1 ビットの信号に変換する。2 の補数を使い、最上位ビットを正負の判定に用いるため実際の信号成分は最大でも 15 ビットで表現される整数である。また、MATLAB によるシミュレーションにおいて、コンパレータに入力される直前の中間信号をプロットしたのが図 4.2 である。この図より、入力が振幅 1 の正弦波であった場合、内部演算によりおおよそ 2 倍以下の信号に増幅されることがわかっている。よって入力振幅は 15 ビットで最大 32768 まで表現できるが、データフローを考えて入力最大振幅は 10000 とした。

実装を想定している FPGA は動作クロックが最大でも 100MHz 程度である。実際に実現したいのは 10MHz ~ 20MHz 帯でのデルタシグマ型 DA コンバータの実装であるが、それではオーバーサンプリング比が大幅に足りなくなってしまう。そのためオーバーサンプリング比を考えて、入力信号周波数を 1MHz、オーバーサンプリング比を 40 倍とし、動作クロックを 40MHz とした。

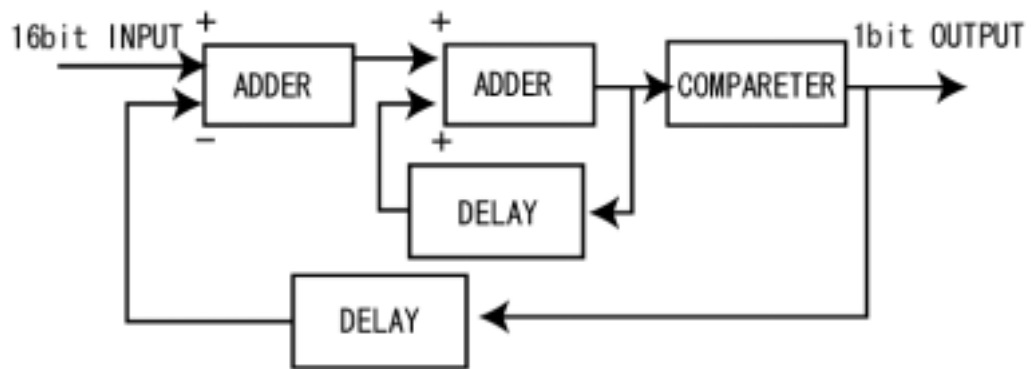


図 3.1 VHDL による記述モデル

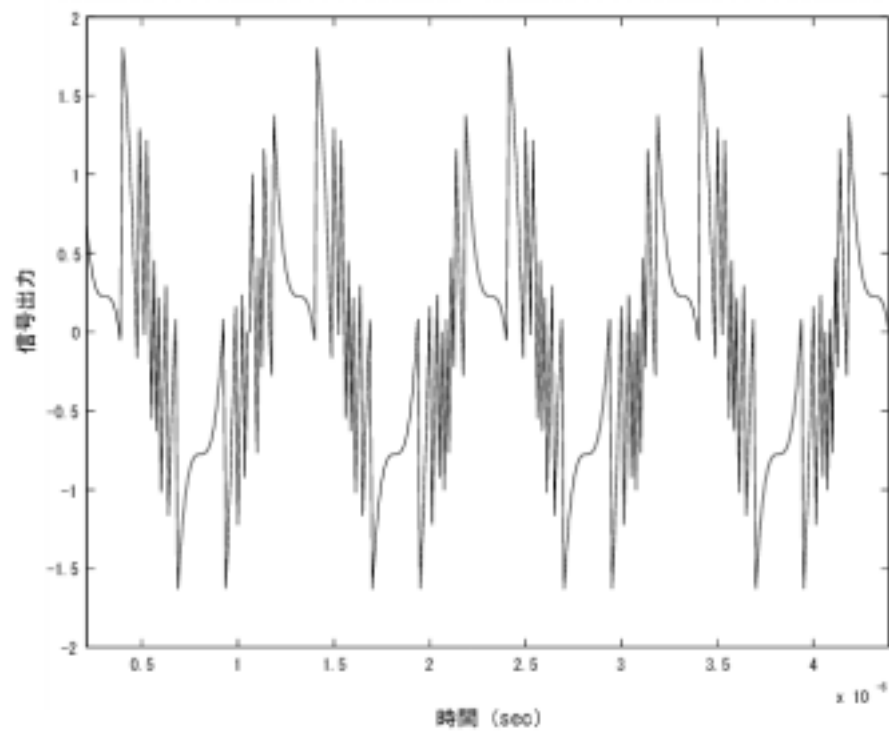


図 4.2 コンパレータ前の中間信号

4.2 シミュレーション

VHDL で記述したモデルをコンパイルし、信号を入力することでシミュレーションを行った。VHDL 記述、コンパイル、シミュレーションは Quartus と Modelsim によって行っている。ここで注意すべき点は、クロックのわずかなずれによって、計算結果が大きく変わってしまうことである。そのため 1 クロックで全ての演算を終わらせ次の入力に同期させて信号を帰還させねばならない。その点を考慮し記述を行った。

シミュレーション結果を図 4.3 に示す。この図は Modelsim でのシミュレーション波形を示しており、上段がクロックパルス、中央が入力正弦波、下段がデルタシグマ変換を行なった 1 ビット出力となっている。図より、振幅 10000 の 3 値の正弦波が 1 ビットの信号に変換されていることがわかる。これをアナログローパスフィルターに通せばアナログの正弦波として出力されるはずである。このソースファイルを元に FPGA で実装を行なうことにする。

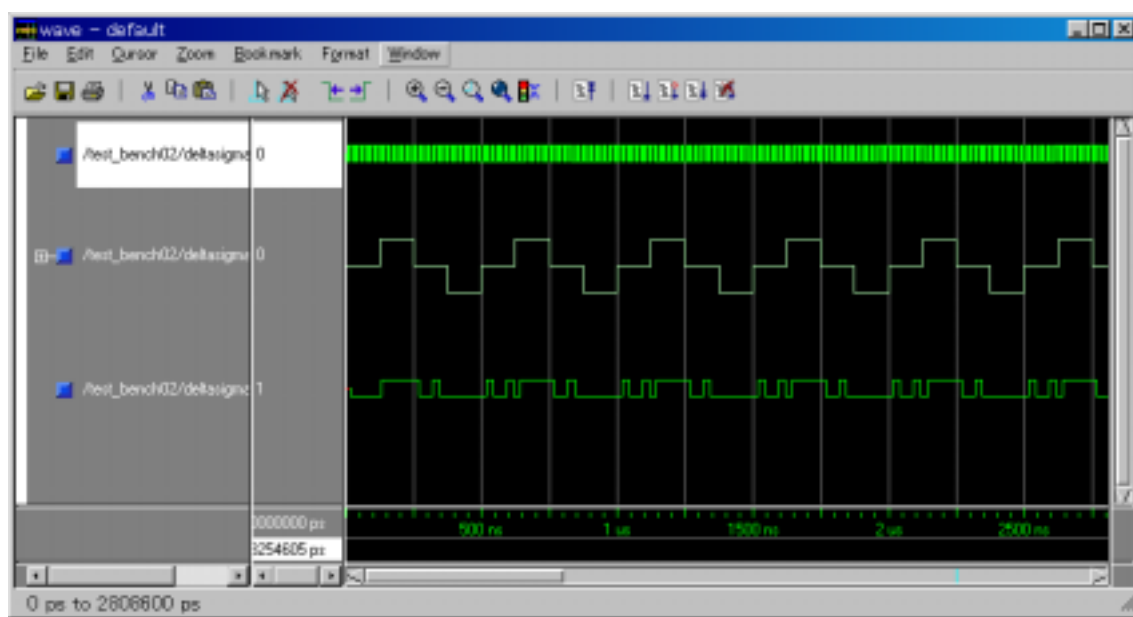


図 4.3 Modelsim によるシミュレーション結果

4.3 FPGA での実装

前述のシミュレーション結果を受け，FPGA への実装を行った．

4.3.1 使用する AD/DA ボードについて

デジタル回路を実装するデバイスとしては，他にも ASIC，DSP などが挙げられる．ASIC は大量生産した際には単価が安く，高速動作で低消費電力である一方，設計や開発に莫大な時間と費用がかかる．また，DSP は並列処理ができるが FPGA の方が高速性，低消費電力に優れている．FPGA はハードウェアであるが，ソフトウェアの特徴も強く，開発ツールの充実度，コストから考えると一番適切なデバイスであると言える．

実際に実装を行うFPGAを搭載したAD/DAマザーボードは本来，8.45GHz帯アダプティブアンテナ制御部の一部であり，32bit RISC CPU SH4 を搭載しNetBSD が稼動する，CPU-boardIIのサブ基板である．

マザーボードにはネットワークを介して制御を行なうためのCPUとAD/DAボードを制御するためのFPGAが搭載されている．そこからメインバスがAD/DAボードのプライマリFPGAにつながりさらにスレイブFPGAに接続されている．マザーボードの構成と，AD/DAボードとの接続を図4.3，図4.4に示す．実際にはマザーボードとAD/DAボードが2枚の計3枚のボードが積み重ねられて1つのAD/DAボードとして構成されている．

マザーボードのFPGAはALTELA社のAPEX20K600Cが用いられており，AD/DAボードのFPGAにはAPEX20K400Eが用いられている．APEX20K600Cの諸特性とデータバス詳細をを表4.1，表4.2に示す．

Board to board interface diagram

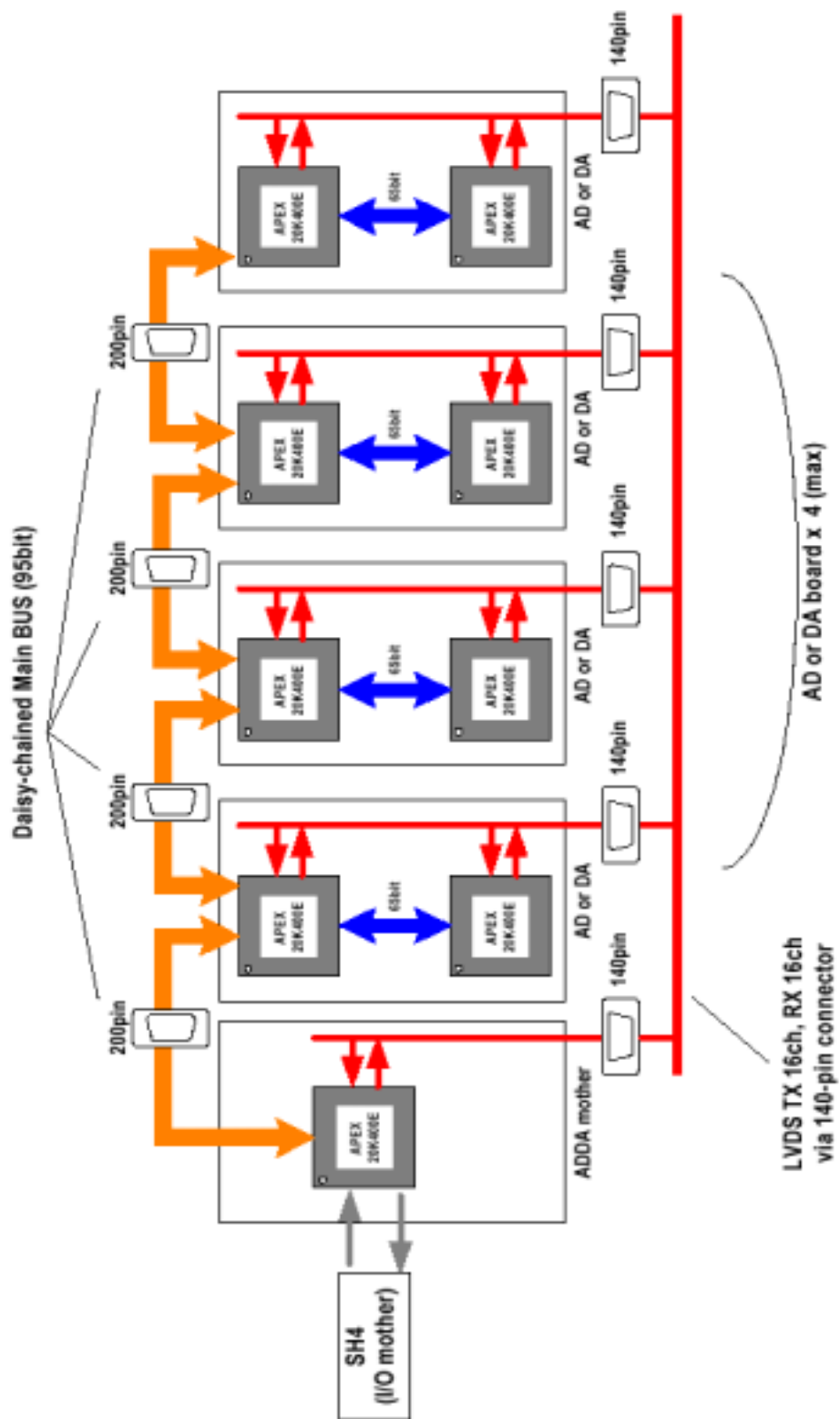


図 4.4 各基板への接続

名称	APEX20K600C
Typical Gate	600,000
Maximum Ram Bits	311,296
内部PLL	4回路
LVDS	入出力16ch 各840MBps
動作電圧	IO 3.3V /core 1.8V
その他	0.15 n m銅配線

表4.1 APEX20K600Cの諸特性

名称	性能	接続
CPUアドレス	26bit	CPU-board に接続
CPUデータバス	32bit(100MHz)	CPU-board に接続
汎用バス	95bit	200pinコネクタから上部へ
LVDS	入出力16ch(各840MBps)	140pinコネクタから全上部へ
開発用 local BUS	74bit	自ボード上のデバッグピンへ

表4.2 マザー基盤のデータバス

4.3.2 デルタシグマ型 DA コンバータの実装

シミュレーションで使用した VHDL をコンフィギュレーションし、DA/AD ボードに実装を行った。PC からネットワークを介してマザー基板に接続し、FPGA にコンフィギュレーションデータを入力する。そのデータをもとに、FPGA 内部で配置配線が行なわれ、デルタシグマ型 DA コンバータとして動作する。システム全体の構成を図 4.5 に示すが、具体的にデルタシグマ変換を行なう場所は、マザー基板からつながっているプライマリ-FPGA である。

入力信号は 16 ビット、振幅 10000 で 3 値の正弦波を用いている。デジタル信号はマザー基板の CPU から生成し、バスを通過して DA/AD ボードのプライマリ-FPGA に送られる。そしてデルタシグマ変換された信号は再びバスを通過し、マザー基板の BNC 出力端子から出力される。出力された信号はアナログ LPF を通過し、アナログ波形として得られる。これをオシロスコープで測定した。最終的に得たい信号周波数は 1MHz 正弦波であるためその周波数に合う LPF が必要となる。今回 LPF は研究室にある 1 MHz のものを用いた。LPF を接続した図を図 4.6 に示す。また BNC 出力端子からは参考のため入力したデジタル信号も出力させている。またマザー基板からはシステム全体のクロック信号とリセット信号も生成しバスを通過して他の FPGA に送られている。

デルタシグマ変換を行った波形を図 4.7 に示す。上段がデルタシグマ変換された波形であり、下段が入力デジタル信号である。そしてデルタシグマ変換された信号を LPF に通した波形が図 4.8 である。これも同様に上段がフィルタ通過後の波形で、下段が入力デジタル信号である。図 4.8 より、入力されたデジタル信号がデルタシグマ変換されて 1 ビットの信号になっていることがわかる。そしてそれが LPF によって 1 MHz のアナログ波形に DA 変換されていることが図 4.7 よりわかる。以上よりデルタシグマ型 DA コンバータを FPGA に実装し、動作の確認をすることができた。

しかしながら、出力波形を見ると正弦波の上に高周波ノイズが乗っている。これはデルタシグマ変換を行った際の高周波成分と、BNC 出力に対して常に乗ってしまうノイズであると考えられる。また今回用いた LPF が、1GHz 近辺から上の高周波遮断特性があまりよいものではなかった。フィルタのチップ部品の自己共振特性によって高周波遮断特性が悪くなるのが原因である。また今回はデバイスのクロック限界により、実際に低 IF 帯の周波数で実装することが出来なかった。これを改善するためにはオーバーサンプリング比を大幅に下げるか、実装デバイスの動作クロックを早くすることが考えられる。

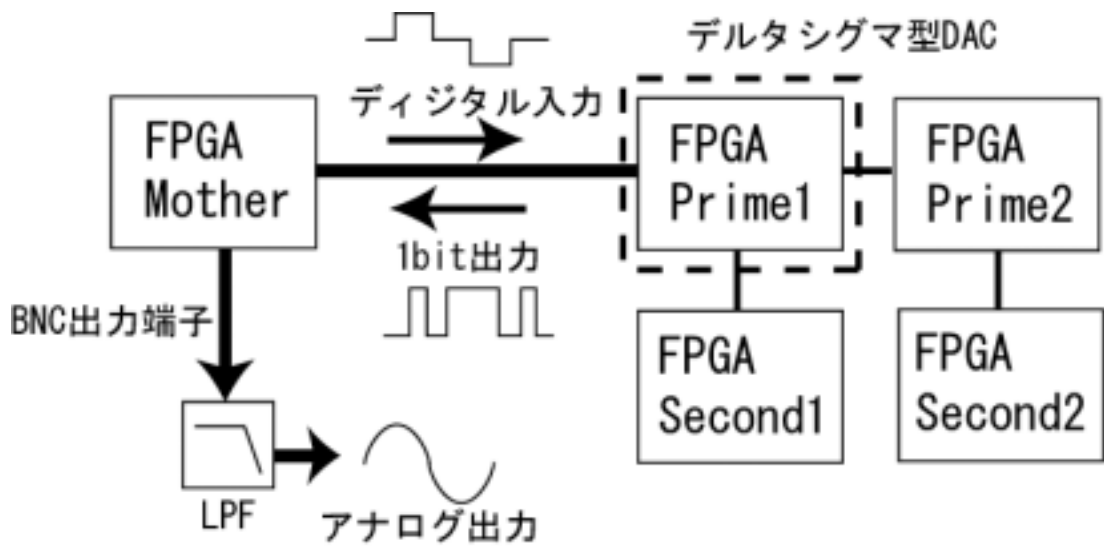


図 4.5 デルタシグマ型 DA コンバータ実装システム

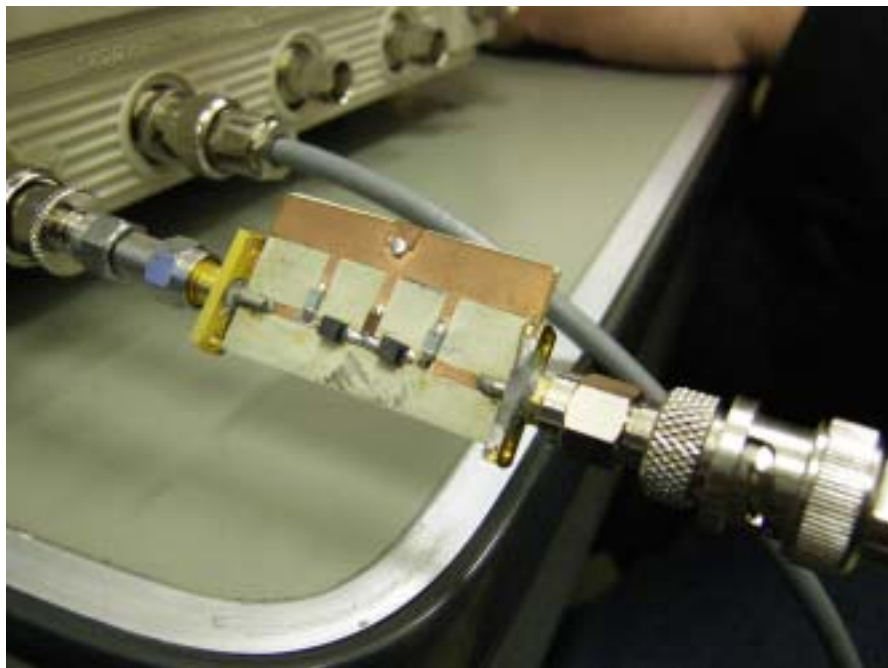


図 4.6 LPF を接続した実験装置

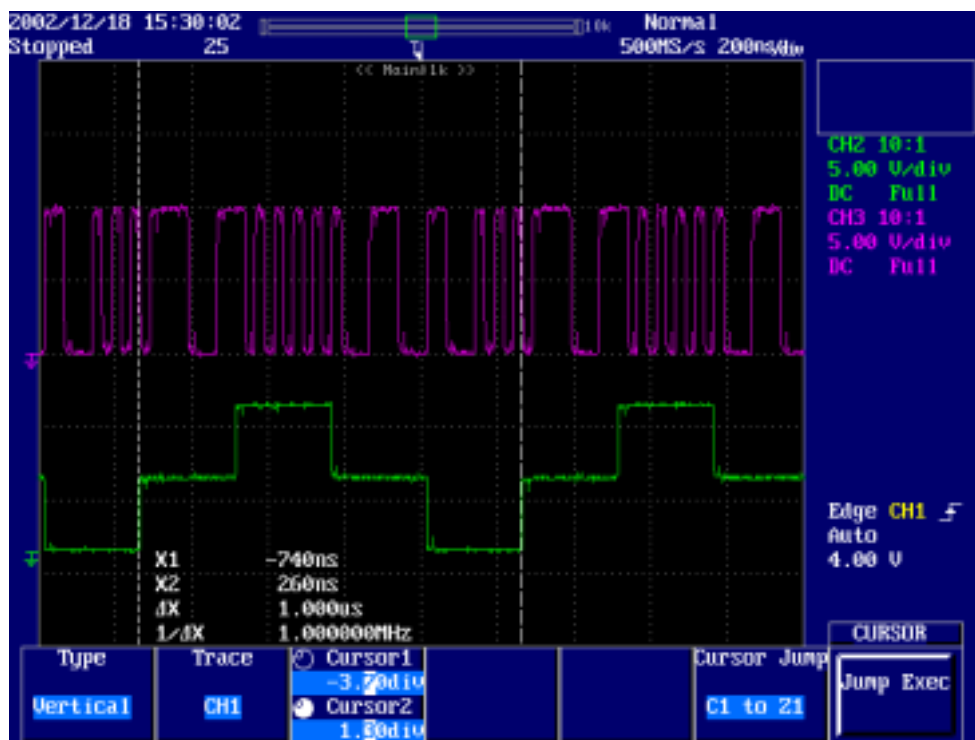


図 4.6 デルタシグマ変換された波形

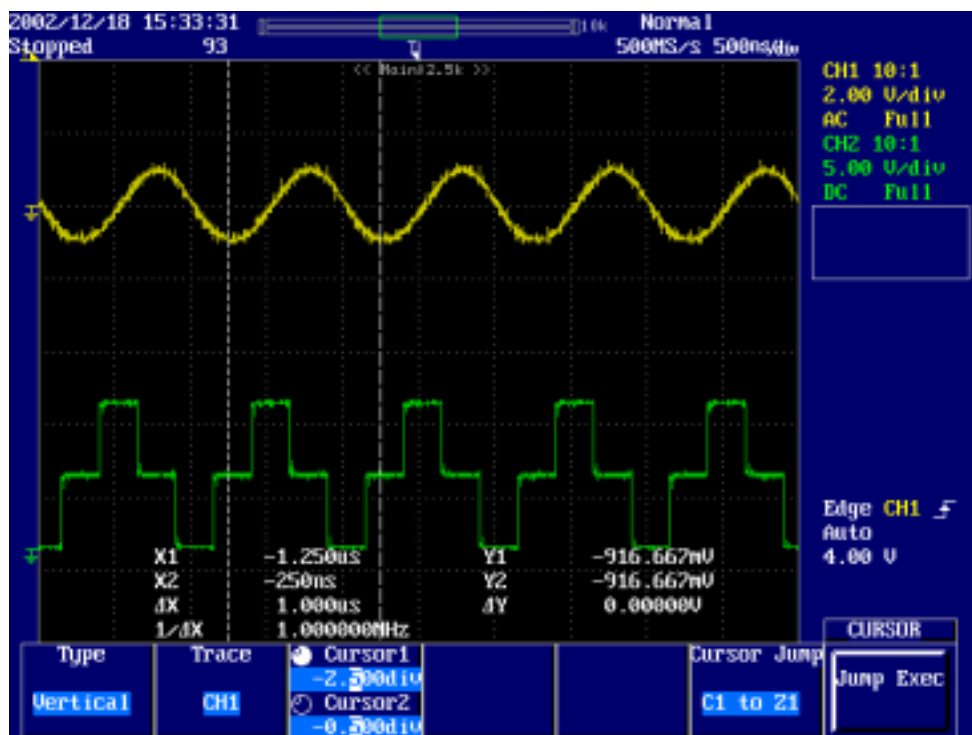


図 4.7 LPF を通した波形

第5章 結論

本論文では低 IF 送信機で用いる DA コンバータとして、低 IF 帯用デルタシグマ型 DA コンバータを提案した。第 3 章において、できるだけ低いクロックで動作するデルタシグマ型 DA コンバータを検討し以下の結果を得た。

- 正弦波であれば 20 倍程度のオーバーサンプリングで変換可能
- 高次モデルのシミュレーションにおいて離散積分器が分解能に対して影響がある
- 離散積分器を含まないモデルにおいて 40 倍オーバーサンプリングで QPSK 変調波を変換可能

以上の結果から第 4 章においてデルタシグマ型 DA コンバータを FPGA での実装を行い、1 MHz の波に対して 40 倍のオーバーサンプリングで動作することを確認した。しかしながら実際の送受信に用いた際に正常に安定して動作するか確認する必要がある。また、実装を行った FPGA の動作クロックの限界により目標とする 10 MHz 帯での動作確認ができなかったが、CMOS 回路等の進歩により非常に高クロックで動作する FPGA が開発されるようになれば、より高い周波数帯でのデルタシグマ型 DA コンバータでの DA 変換も可能になるだろう。以上を今後の課題として本論文の結論とする。

謝辞

研究を進めるにあたり，ご指導，ご鞭撻を頂いた新井 宏之教授に深く感謝いたします．また，有意義なご助言を頂いた市毛 弘一講師に深く感謝いたします．最後に研究生生活をともに過ごした新井研究室，市毛研究室の皆様にも感謝いたします．

参考文献

- [1] 井上 祐樹 他 “ DBF アレーアンテナを用いた到来方向推定に関する研究 ”, 平成 13 年修士論文
- [2] 金 ミン錫 他 “ A Study of Implementation of Digital Signal Processing for Adaptive Array Antenna ”, 平成 13 年修士論文
- [3] 松本 直也 他 “ 到来方向推定法への応用のための固有値分解法の FPGA 実装に関する研究 ”, 平成 13 年度卒業論文
- [4] 溝呂木 上 他 “ Low-IF 方式受信機に関する研究 ”, 平成 13 年卒業論文
- [5] 湯川 章 “ アレイ・キャパシタのばらつきと D-A 変換器の精度 ” 日経エレクトロニクス, No452, pp. 284-285, 1988
- [6] 東條啓一郎等 “ 1 ビットデジタル信号処理を用いた制御の分解能と情報量についてのシミュレーション ”, TIEE, Japan, Vol.118-D.No5.1998pp623-629
- [7] J.Keyzer et al, " Digital generation of RF signals for wireless communications with band-pass delta-sigma modulation", Proc. IEEE Int'l Microwave Sympo., Vol. 3, pp. 2127-2130, Phoenix, AZ, U.S.A., May 2001.
- [8] 湯川 章 “ オーバーサンプリング A-D 変換技術 ”, 日経 BP 出版 1990
- [9] Steele,R “ Delta Modulation System ”, Pentech Press, 1975
- [10] Candy,J.C et al, “ A Per-Channel A/D Converter Having 15-Segment μ -255 Companding ”, IEEE Trans.Communications, Vol COM-24,no1,pp.33-42,1976
- [11] Gregorian,R et al, “ A CMOS Adaptive Delta Modulation CODEC for PABX Applications ”, ISSCC Digest Technical Papers, pp.72-73,1983
- [12] 相良 岩男 “ A/D,D/A コンバータの設計・応用の要点 ”
日本工業センター 1985
- [13] Adrian K et al, “ A Two-Path Bandpass Modulator for Digital IF Extraction at 20MHz ”, IEEE J of SSC, Vol.32, No12, pp.1920-1933, 1997
- [14] Stephen A et al, “ A Fourth-Order Bandpass Sigma-Delta Modulator ”, IEEE J of SSC, Vol.28, 1993
- [15] Naus P.J.A et al “ A CMOS Stereo 16-bit D/A Converter for Digital Audio ”, J of SSC, Vol.sc-22, No.3, pp.390-394, 1987
- [16] Boser.B.E et al “ The Design of Sigma-Delta Modulation Analog-to-Digital Converters ”, J of SSC, Vol.23, No.6, pp.1298-1308, 1988
- [17] Hayashi,T et al “ A Multistage Delta-Sigma Modulator without Double Integration Loop ”, ISSCC Digest Technical Papers, pp.182-183, 1986

- [18] Stikvoort,E.F et al “ Some Remarks on the Stability and Performance of the Noise Shaper or Sigma-Delta Modulator”,IEEE Trans. Communications ,pp1157-1162,vol.36,No.10,1988
- [19] Ritoniemi,T et al “ Design of Stable High Order 1-Bit Sigma-Delta Modulators”,Proceedings of the IEEE International Symposium on Circuits and Systems,pp3267-3270,1990
- [20] 村上 英治 “デルタ-シグマ型 A-D コンバータの基礎と実際 ” CQ 出版 , トランジスタ技術 , pp.531-540,1990

発表文献

- [1] 村松，市毛，新井 “ Σ 型 DAC を用いた高速送信システムに関する一検討 ” ，
信学総合大会，A-1-28，2002
- [2] 村松，市毛，新井 “ 低 IF 帯用デルタ-シグマ型 DA コンバータの VHDL モデリ
ング ” ，信学ソサイエティ大会，A-1-29，2002

