

修士論文

**アダプティブアレー用送受信機の  
デジタル処理部の構成法に関する研究**

**A Study of Designing  
Digital Part of Adaptive Array Antenna  
Transceiver and Receiver**

指導教官 新井宏之 教授

平成15年1月31日提出

横浜国立大学大学院 工学府 物理情報工学専攻

01GD161 村松 慎太郎

## 要約

近年、陸上移動体通信への需要は急速な勢いで伸びてきており、音声だけの利用にとどまらずメールや画像、動画といったものを利用する移動体端末のマルチメディア化が進められており、さらなる通信路の広帯域化が望まれている。その中で、特に基地局から移動局への下り回線の高速化が求められており、基地局アンテナの指向性を制御し移動局に適応的に向けることにより、マルチパスフェージングの問題の解決や、空間分割多重接続(SDMA)方式の実現による周波数利用効率の向上、移動体に効率良く電力を集中することによる SNR の向上などにより回線の高速化が期待できる。また、適応的な指向性合成を行う場合には、送信だけのパラメータだけでは実現できず、受信時の電波の到来方向やアダプティブアルゴリズム (MMSE, CMA など) により算出されたアレーアンテナの複素ウエイトを用いて送信時のパラメータを設定する必要がでてくる。

本論文では、移動体通信の基地局向けアダプティブアレーアンテナ技術の評価が行える試作機のデジタル部の実装を行った。まず、移動局からの電波の到来方向を複数個の 2 チャンネル A/D ボードまたは 16 チャンネルの A/D 制御 BOX を用いて、MUSIC 法による推定を行う到来方向推定システムの構成を考え、制御用のモニタソフトウェアを作成した。また、実験にて到来方向の推定を準リアルタイムで処理ができることを確認した。

次に、移動局に向けてアンテナの指向性を自由に制御することのできるアダプティブアレーアンテナ送信機のデジタル部の実装に関する検討を行い、FPGA による 16ch の並列処理に適したバス配線や、帯域制限フィルタであるオーバーサンプリング・ロールオフフィルタの設計をし、複素ウエイトを乗じた  $1/4$  シフト QPSK の IF 信号をデジタル変調により直接出力させることを可能とした。さらに、受信側で送信したシンボルレート 3.33MHz(6.66Mbps)の信号を復調する検討を行い、正しく復調できることを確認した。

最後に、16 チャンネルの A/D 制御 BOX を用いた到来方向推定システムと 16 チャンネル送信機を接続し、任意の方向に指向性を合成できることを IF 段で確認した。

# 目次

1. 序論 .....	2
1.1. アダプティブアレーアンテナ .....	4
1.2. FPGA の構造 .....	5
2. アダプティブアレーアンテナ受信機 .....	6
2.1. 到来方向推定法 .....	6
2.1.1. MUSIC 法 .....	6
2.1.2. 固有値分解法 .....	9
2.1.2.1. ハウスホルダー法 .....	9
2.1.2.2. QR 分解法 .....	11
2.2. オンライン到来方向推定システム .....	14
2.2.1. TCP/IP を用いたモニタソフトウェアの構成 .....	14
2.2.2. 2 素子の装置を複数個用いた構成 .....	19
2.2.3. 16 素子の装置を用いた構成 .....	24
3. アダプティブアレーアンテナ送信機 .....	30
3.1. 送信系アダプティブアレーアンテナ .....	31
3.2. 16 素子送信機の実装 .....	33
3.2.1. データバス接続 .....	36
3.2.2. デジタル IF 変調回路 .....	40
3.2.3. ナイキストフィルタ .....	44
3.2.4. 変復調とデータ送受信 .....	51
3.3. 指向性合成実験 .....	57
3.3.1. IF 段における送受信機の直接接続 .....	61
4. 結論 .....	65
謝辞 .....	66
付録 .....	67
A. CMA アルゴリズムについて .....	67
B. MRC アルゴリズムについて .....	68
発表文献 .....	69
参考文献 .....	70

# 1. 序論

近年、陸上移動体通信への需要は急速な勢いで伸びてきており、音声だけの利用にとどまらずメールや画像、動画といったものを利用する移動体端末のマルチメディア化が進められており、さらなる通信路の広帯域化が望まれている。その中で特に基地局から移動局への下り回線の高速化が求められており、第4世代の移動体通信では最大伝送速度が 20Mbps 以上であることが求められている[1]。

そのような高速無線通信路を実現する問題点として、図 1-1に示すように電波が建物などにより反射・回折・散乱される多重波伝搬路を通るためにマルチパスフェージングが生じ、伝搬遅延時間差などによる符号間干渉や、同一セル内の他ユーザーからの干渉波通信路の誤り特性が劣化してしまうことや、利用可能な周波数資源が有限なことから、1基地局当たりの収容可能容量の不足などが挙げられる。

マルチパスフェージングを克服するためには、移動局での干渉キャンセラや、図 1-2に示すように干渉波の方向に指向性のヌル点を適応的に向け空間的に抑圧するアダプティブアレーによる受信が有効であるが、基地局からの送信においても、移動局からの電波の到来状況を解析し、基地局からの電波を移動局に到達する遅延波数が少ない方向に適応的に向けて放射するような空間領域における処理が有効となる。

また一方で、基地局からの電波の放射方向とヌル点を制御することで、同一セル内において同一周波数（または符号）を用いて複数の移動局と通信が行える Space Division Multiple Access(SDMA)方式が行え、収容可能容量の増加に有効である[2]。

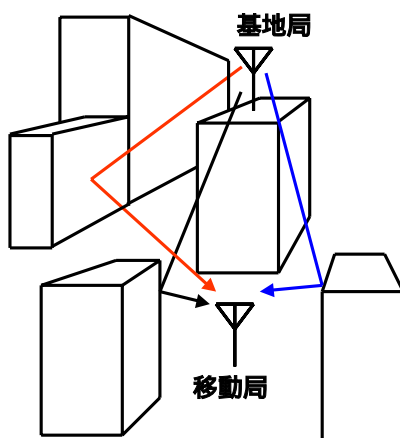


図 1-1：多重波伝搬路

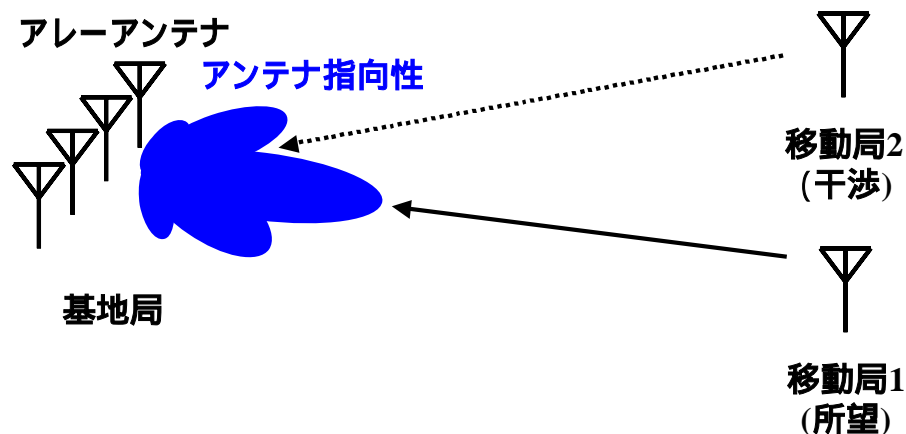


図 1-2：同一セル内干渉の抑圧

これらのアダプティブアレーアンテナの技術は、近年のデジタル信号処理技術の発展に伴って注目されてきており、実現するハードウェアとして MPU・DSP・FPGA などがある。MPU・DSP はプログラムを作成することが容易であるが、並列処理ができないためにアレーアンテナのアレーの数に比例してリアルタイム性を維持することが困難となる。それに対して、FPGA では専用のデジタル回路をソフトウェア的に構成することが可能であり、アレーアンテナのアレーの数に応じて処理を並列に行う回路を構成することによりリアルタイム性を維持することができる。

本論文では、アダプティブアレーアンテナの実現のためにデジタル処理部の実装が目的であり、FPGA 及び MPU(DSP)を用いて構成を行った。

まず、第 2 章でアダプティブアレーアンテナ受信機の実装について述べ、その受信機を用いた到来方向推定システムの構成について検討し、制御用のモニタソフトウェアの実装について述べる。第 3 章ではアダプティブアレーアンテナ送信機の実装において、配線の接続や論理回路の構成について述べる。そして、第 4 章で結論とする。

## 1.1. アダプティブアレーアンテナ

指向性の適応的な制御を行えるアレーアンテナをアダプティブアレーアンテナと呼び、その歴史は比較的長く、軍用レーダーの妨害波の抑圧に使用されてきたが、近年のデジタル技術の発展により注目を集めてきている。

一般的なアダプティブアレーアンテナの模式図を図 1-3に示す。受信系ではアレーアンテナからの入力に適切な複素ウエイトをそれぞれ掛け、すべてのアレーアンテナの出力を加算する。そしてその複素ウエイトを適応的に変化させることによりアレーアンテナの指向性を制御する仕組みとなっている。送信系では逆の手順で処理される。また、複素ウエイトを掛けるバンドは、ベースバンド・IF・RFのどのバンドでも可能であるが、周波数が低い方が処理が容易なことから、ベースバンドにおける信号処理が一般的である。

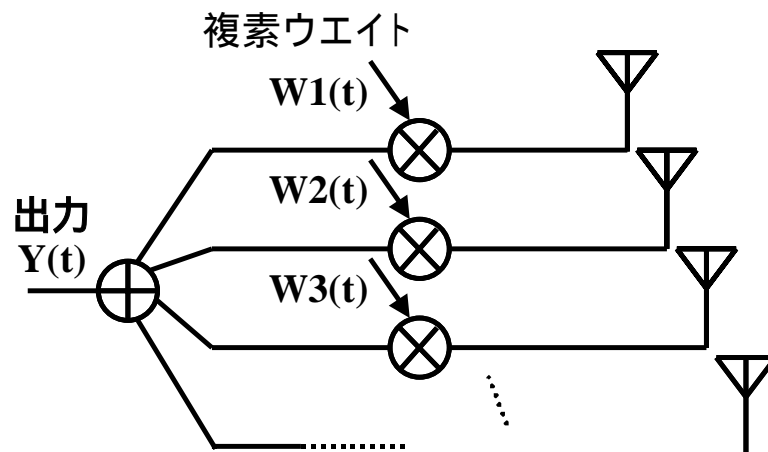


図 1-3 : アダプティブアレーアンテナ

## 1.2. FPGA の構造

デジタル信号処理を行う専用 LSI として ASIC(Application Specific IC:特定用途向け IC)や FPGA(Field Programmable Gate Array)がある。ASIC は信号処理能力が高いが、内部の論理回路は一度製作すると固定され、また製作にかかる費用も大きく大量生産向けである。一方、FPGA は、内部の論理回路をユーザーが何度でも自由に変更を行える IC で、図 1-4に示すように論理ブロック(LUT)と配線(及び接続スイッチ)からなっており、その結線情報は内部の SRAM などに蓄えられていて、SRAM の内容を変更することにより内部の結線を変更し希望の論理回路をつくることができるが、ASIC と比べると回路速度は劣り、実装可能な論理回路の容量も小さくなるが比較的安価である。また、近年になって大容量・高速なモデルも登場してきており、試作や市場即応性が必要な分野に必須なデバイスとなっている。

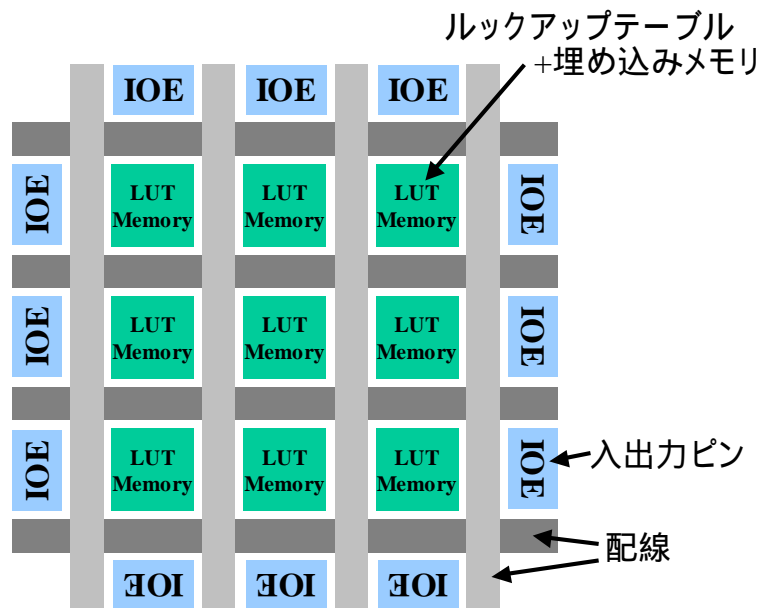


図 1-4 : FPGA の内部構造(Altera-APEX20K)

## 2. アダプティブアレーアンテナ受信機

基地局を想定した場合、アダプティブアレーアンテナで指向性を適応的に制御し信号を受信するには、移動局からの電波の到来方向を推定し、その方向に指向性を向け受信することが有効であると言える。そこで本章では、その様な電波の到来方向推定をリアルタイムに行うことができるシステムの実装を試みた。

### 2.1. 到来方向推定法

電波の到来方向を推定するアルゴリズムにはビーム走査に基づく Beamformer 法、Capon 法、ヌル走査に基づく線形予測法、最小ノルム法、MUSIC 法、多次元ヌル走査に基づく ESPRIT 法などがある。この中でも最小ノルム法、MUSIC 法、及び ESPRIT 法はアレー入力信号の相関行列の固有値解析により到来方向を推定するアルゴリズムで、他のアルゴリズムに対して精度が良いので、超分解能法とも呼ばれている。そこで本論文では、精度が良くて比較的アルゴリズムが簡素な MUSIC 法を到来方向推定アルゴリズムとして採用した。

#### 2.1.1. MUSIC 法

MUSIC(MUltiple SIgnal Classification)法[3]とは、アレー入力信号の相関行列の固有値・固有ベクトルを用いて到来方向を推定するアルゴリズムである。MUSIC アルゴリズムを説明するために、まず図 2-1に示すような K 素子のリニアアレーがあるとする。

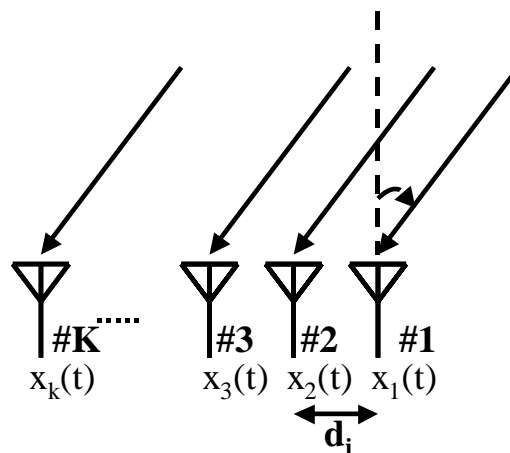


図 2-1 : K 素子リニアアレー



基準アンテナ#1からの距離がそれぞれ  $d_i$  のリニアアレーアンテナに、正面方向を基準として  $L$  波の波長  $\lambda$  の平面波が角度  $\theta_\ell$  ( $1 \leq \ell \leq L$ ) からそれぞれ入射しているものと仮定すると

$$\mathbf{X}(t) = \mathbf{A}\mathbf{F}(t) + \mathbf{N}(t) \quad (2-1)$$

と表せられる。ただし、入力波のベクトル  $\mathbf{X}(t)$ 、複素振幅ベクトル  $\mathbf{F}(t)$ 、方向行列  $\mathbf{A}$ 、 $\ell$  波目の入力波の方向ベクトル  $a(\theta_\ell)$ 、内部熱雑音ベクトル  $\mathbf{N}(t)$  を

$$\mathbf{X}(t) = (x_1(t) \ \cdots \ x_K(t))^T \quad (2-2)$$

$$\mathbf{F}(t) = (F_1(t) \ \cdots \ F_L(t))^T \quad (2-3)$$

$$\mathbf{A} = (a(\theta_1) \ \cdots \ a(\theta_L))^T \quad (2-4)$$

$$a(\theta_\ell) = \left( \exp(-j \frac{2\pi}{\lambda} d_1 \sin \theta_\ell) \ \cdots \ \exp(-j \frac{2\pi}{\lambda} d_K \sin \theta_\ell) \right)^T \quad (2-5)$$

$$\mathbf{N}(t) = (n_1(t) \ \cdots \ n_K(t))^T \quad (2-6)$$

とする。このとき入力信号の相関行列は、

$$R_{xx} \cong E[\mathbf{X}(t)\mathbf{X}^H(t)] = \mathbf{A}\mathbf{S}\mathbf{A}^H + \sigma^2 \mathbf{I} \quad (2-7)$$

と表せられる。ここで、 $E[\cdot]$  はアンサンブル平均を表し、信号相関行列  $\mathbf{S}$  は

$$\mathbf{S} = E[\mathbf{F}(t)\mathbf{F}^H(t)] \quad (2-8)$$

であり、 $\sigma^2$  は熱雑音電力、 $\mathbf{I}$  は単位行列である。

相関行列  $R_{xx}$  の固有値・固有ベクトルをそれぞれ  $\mu_i$ 、 $e_i$  ( $i = 1, 2, \dots, K$ ) と表すと、

$$\begin{aligned} R_{xx} e_i &= (\mathbf{A}\mathbf{S}\mathbf{A}^H + \sigma^2 \mathbf{I}) e_i \\ &= \mathbf{A}\mathbf{S}\mathbf{A}^H e_i + \sigma^2 e_i \\ &= \mu_i e_i + \sigma^2 e_i \\ &= (\mu_i + \sigma^2) e_i \end{aligned} \quad (2-9)$$

となり、

$$\lambda_i = \mu_i + \sigma^2 \quad (2-10)$$

と書き直すと、相関行列  $R_{xx}$  の固有値は

$$\lambda_1 \geq \lambda_2 \geq \cdots \geq \lambda_L > \lambda_{L+1} = \cdots = \lambda_K = \sigma^2 \quad (2-11)$$

の関係がある。よって、熱雑音  $\sigma^2$  より大きい固有値の数から、アレーアンテナ

に入射した到来波の到来波数  $L$  を推定することができる。

つぎに到来波数  $L$  が推定できたとしたとき、熱雑音電力に等しい固有値に対する固有ベクトルについて

$$R_{xx}e_i = (ASA^H + \sigma^2 I)e_i = \lambda_i e_i = \sigma^2 e_i \quad (i = L+1, \dots, K) \quad (2-12)$$

となるので、

$$ASA^H e_i = \mathbf{0} \quad (i = L+1, \dots, K) \quad (2-13)$$

とすることができる。ここで行列  $A$  と信号相関行列  $S$  がフルランクであることから、

$$A^H e_i = \mathbf{0} \quad (i = L+1, \dots, K) \quad (2-14)$$

となり、

$$a^H(\theta_\ell) e_i = 0 \quad (\ell = 1, 2, \dots, L; i = L+1, \dots, K) \quad (2-15)$$

となる。これは、すべての到来波の方向ベクトル  $a(\theta_\ell)$  と熱雑音電力に等しい固有値に対する固有ベクトル  $e_i (i = L+1, \dots, K)$  が直交することを表している。ところで、固有ベクトル  $e_i (i = 1, 2, \dots, K)$  は互いに直交し、信号部分空間  $S = \{e_1, \dots, e_L\}$  と雑音部分空間  $N = \{e_{L+1}, \dots, e_K\}$  に分けることができ、 $S$  と  $N$  は互いに直交する性質がある。また、式(2-15)から  $a(\theta_\ell)$  と  $N$  は直交し、 $a(\theta_\ell)$  と  $S$  は同一部分空間内にあると言える。このことから、到来方向を推定するには固有ベクトルについて解析を行い、方向ベクトルを走査して雑音部分空間に属する固有ベクトルと直交する角度方向を見つければよいということになる。そこで、

$$\begin{aligned} P_{MUSIC}(\theta) &= \frac{1}{\sum_{i=L+1}^K |e_i^H a(\theta)|^2} \cdot a^H(\theta) a(\theta) \\ &= \frac{a^H(\theta) a(\theta)}{a^H(\theta) E_N E_N^H a(\theta)} \end{aligned} \quad (2-16)$$

と定義する。この式は MUSIC スペクトラムと呼ばれ、ピークを示す  $\theta$  が到来波の入射角度となる。ただし、

$$E_N = [e_{L+1} \quad \dots \quad e_K] \quad (2-17)$$

である。

以上をまとめると、アレーアンテナに入射した  $L$  波の波の到来角度を推定するには、まず式(2-7)により相関行列を計算し、その固有値・固有ベクトルを求めたあとに、式(2-16)を用いて MUSIC スペクトラムのピークサーチをした結果から到来方向の推定を行えばよい。

## 2.1.2. 固有値分解法

MUSIC 法を用いて到来方向推定を行うには、アレーアンテナの入力信号の相関行列の固有値・固有ベクトルを求めなければならない。コンピュータを用いた固有値・固有ベクトルを求める方法にはヤコビ法や QR 法があり、また市販の行列演算ライブラリなどにも実装されているが、最適化を行う場合にはアルゴリズムの実装を自ら行わなくてはならない。ここでは、パーソナルコンピュータをベースとした到来方向推定システムに実装するために、QR 法とその前処理に使うハウスホルダー法を組み合わせて固有値・固有ベクトルを求める方法を採用した。また、一般に MUSIC 法で用いる相関行列の固有値はすべて実数になるが、熱雑音による誤差などにより複素成分が発生するので、そのような複素成分をもった固有値を扱える固有値分解法について実装を行った。

### 2.1.2.1. ハウスホルダー法

行列  $A$  の標準固有値問題を解くためには、ユニタリ変換による相似変換によって行列  $A$  を上三角行列にすればよく、 $A$  がエルミート行列であるならば、対角行列になり、対角成分が固有値となる。この操作は 2 段階に分けられ、

(1) 上ヘッセンベルグ行列( $i > j+1$  のとき  $a_{ij} = 0$ )に変換

(2) 上三角行列に変換

の操作を行う。ここで (1) がハウスホルダー法(Householder method)で (2) が QR 分解法である。

まずハウスホルダー法について説明をする。長さの等しい 2 つの異なるベクトル  $\mathbf{x}$ 、 $\mathbf{y}$  があつたとき、行列

$$H = I - 2\mathbf{u}\mathbf{u}^H \quad (2-18)$$

ただし

$$\mathbf{u} = \frac{\mathbf{x} - \mathbf{y}}{|\mathbf{x} - \mathbf{y}|} \quad (2-19)$$

を用いると

$$\mathbf{y} = H\mathbf{x} \quad (2-20)$$

とすることができる。ここで、行列  $H$  はエルミートでユニタリという性質があるので、 $H = H^H = H^{-1}$  を満たし、鏡像変換と呼ばれている。行列  $A$  を相似変換によって上ヘッセンベルグ行列にするには、 $A$  の第 1 列に着目して

$$\mathbf{x} = (a_{21}, a_{31}, \dots, a_{n1})^T \quad (2-21)$$

$$\mathbf{y} = (-\sigma, 0, \dots, 0)^T \quad (2-22)$$

とし、 $H_1\mathbf{y} = \mathbf{x}$ となる変換行列  $H_1$ を作る。ここで、 $|\mathbf{x}| = |\mathbf{y}|$ から

$$\sigma = \text{sign}(a_{21}) \sum_{i=2}^n |a_{i1}|^2 \quad (2-23)$$

となる。

$$H_1 = I - 2\mathbf{u}_1\mathbf{u}_1^H \quad (2-24)$$

とすると、 $\mathbf{u}_1$ は、

$$\mathbf{u}_1 = \frac{\mathbf{x} - \mathbf{y}}{|\mathbf{x} - \mathbf{y}|} = \frac{1}{|\mathbf{x} - \mathbf{y}|} (a_{21} + \sigma, a_{31}, \dots, a_{n1})^T \quad (2-25)$$

ただし

$$|\mathbf{x} - \mathbf{y}| = \sqrt{2\sigma(\sigma + a_{21})} \quad (2-26)$$

である。

第1段の変換行列  $Q_1$ は

$$Q_1 = \begin{bmatrix} 1 & 0 \\ 0 & H_1 \end{bmatrix} \quad (2-27)$$

となり、 $A$ を

$$A = \begin{bmatrix} a_{11} & \mathbf{z}^H \\ \mathbf{x} & B \end{bmatrix} \quad (2-28)$$

と書くと、相似変換  $Q_1 A Q_1$ は

$$Q_1 A Q_1 = \begin{bmatrix} 1 & 0 \\ 0 & H_1 \end{bmatrix} \begin{bmatrix} a_{11} & \mathbf{z}^H \\ \mathbf{x} & B \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 0 & H_1 \end{bmatrix} = \begin{bmatrix} a_{11} & (H_1 \mathbf{z})^H \\ H_1 \mathbf{x} & H_1 B H_1 \end{bmatrix} \quad (2-29)$$

となる。第1列の  $H_1 \mathbf{x}$ は  $\mathbf{y}$ なので、第1列の第3行から第  $n$ 行までがすべて0となる。第2列に対する変換は、第1行と第1列を取り去った右下の  $n-1$ 時の行列  $H_1 B H_1$ に対して第1列のときと同様な考え方によって変換行列  $H_2$ を作って

$$Q_2 = \left[ \begin{array}{cc|c} 1 & 0 & 0 \\ 0 & 1 & \\ \hline 0 & & H_2 \end{array} \right] \quad (2-30)$$

による相似変換を行う。以下同様にして、第3列、...、第  $n-2$ 列に対する変換行列  $Q_3, Q_4, \dots, Q_{n-2}$ を用いて

$$Q = Q_1 Q_2 \cdots Q_{n-2} \quad (2-31)$$

とするとき

$$Q^{-1}AQ = Q_{n-2} \cdots Q_2 Q_1 A Q_1 Q_2 \cdots Q_{n-2} \quad (2-32)$$

となり、上ヘッセンベルグ行列を得ることができる。ここで、A がエルミート行列の時は  $\mathbf{z} = \mathbf{x}$  であるので、 $H_1 \mathbf{x} = \mathbf{y}$  と同時に  $(H_1 \mathbf{z})^H = (H_1 \mathbf{x})^H = \mathbf{y}^H$  となり、第1行の第3列から先もすべて0になるので三重対角行列が得られる。

ところで複素数を扱う場合、 $a_{21}$  は基本的の実数でなければならない。そのためには式(2-28)を次のように変形すると

$$A = \begin{bmatrix} a_{11} & \mathbf{z}^H \\ \mathbf{x} & B \end{bmatrix} \cdot \frac{a_{21}}{a_{21}} = \begin{bmatrix} a_{11}/a_{21} & \mathbf{z}^H/a_{21} \\ \mathbf{x}/a_{21} & B/a_{21} \end{bmatrix} \cdot a_{21} = A' \cdot a_{21} \quad (2-33)$$

となり、

$$\mathbf{x}' = \mathbf{x}/a_{21} = (1, a_{31}/a_{21}, \dots, a_{n1}/a_{21}) \quad (2-34)$$

としたとき、 $\mathbf{x}'$  については  $x'_1 = 1$  となり実数になるので  $A'$  のハウスホルダー変換  $H_1$  を求めることができる。よって相似変換  $Q_1 A' Q_1$  は

$$Q_1 A' Q_1 = \begin{bmatrix} a_{11}/a_{21} & (H_1 \mathbf{z})^H/a_{21} \\ H_1 \mathbf{x}' & H_1 B H_1/a_{21} \end{bmatrix} = \begin{bmatrix} a_{11}/a_{21} & (H_1 \mathbf{z})^H/a_{21} \\ \mathbf{y}' & H_1 B H_1/a_{21} \end{bmatrix} \quad (2-35)$$

となる。また、A と  $Q_1 A' Q_1 \cdot a_{21}$  は相似であるから、

$$Q_1 A' Q_1 \cdot a_{21} = \begin{bmatrix} a_{11} & (H_1 \mathbf{z})^H \\ \mathbf{y}' a_{21} & H_1 B H_1 \end{bmatrix} \quad (2-36)$$

もしくは  $A'$  で求めた  $H_1$  を用いて、 $Q_1 A Q_1$  についての固有値・固有ベクトルを求めればよい。

### 2.1.2.2. QR 分解法

式(2-32)で求めた上ヘッセンベルグ行列について、対角成分を相似変換の繰り返しにより上三角上列にする方法に QR 法がある。まず、ユニタリ行列  $Q_1^H$  を左から掛けることによって上三角行列に変換する。

$$Q_1^H A_1 = R_1 \quad (2-37)$$

これは、

$$A_1 = Q_1 R_1 \quad (2-38)$$

とかけるので、QR 分解と呼ばれている。次に、 $Q_1$  と  $R_1$  を逆順で掛けて

$$A_2 = R_1 Q_1 = Q_1^H A_1 Q_1 \quad (2-39)$$

により  $A_2$  を作ると、 $A_2$  と  $A_1$  は相似であり  $A_1$  と同じく上ヘッセンベルグ行列となる。一般に

$$A_k = Q_k R_k \quad (2-40)$$

$$A_{k+1} = R_k Q_k \quad (2-41)$$

によって相似な行列の列  $\{A_k\}$  を計算する。

QR 分解は、ギブンス回転行列を用いて行うことができる。 $A_k$  は上ヘッセンベルグ行列であるので、 $a_{i,i-1}$  ( $2 \leq i \leq n$ ) を 0 にすれば上三角行列となる。これらは

( $i,i-1$ )平面内の回転行列  $G_{i,i-1}$  を左から掛けることによって 0 にする。そこで、

$$G_{i,i-1} = \begin{bmatrix} 1 & & & & & & & & & \\ & \ddots & & & & & & & & \\ & & 1 & & & & & & & \\ & & & \cos & \sin & & & & & \\ & & & -\sin & \cos & & & & & \\ & & & & & 1 & & & & \\ & & & & & & \ddots & & & \\ & & & & & & & & & \\ & & & & & & & & & 1 \end{bmatrix} \quad (2-42)$$

として、回転行列とそれのかかる行列  $A$  の( $i,i-1$ )平面を取り出し、複素数を扱うことを考慮し以下のように回転行列を変更すると、 $\cos$  パラメータ  $c$  と、 $\sin$  パラメータ  $s$  を用いて

$$\begin{bmatrix} c & s^* \\ -s & c \end{bmatrix} \begin{bmatrix} a_{i-1,i-1} & a_{i-1,i} \\ a_{i,i-1} & a_{ii} \end{bmatrix} = \begin{bmatrix} \omega_{i-1,i-1} & \omega_{i-1,i} \\ 0 & \omega_{i,i} \end{bmatrix} \quad (2-43)$$

が成立すればよく、 $c$  は実数であり、 $s$  は複素数となる。式(2-43)が成立する条件は、

$$c^2 + |s|^2 = 1 \quad (2-44)$$

$$-sa_{i-1,i-1} + ca_{i,i-1} = 0 \quad (2-45)$$

が成立すればよい。これらの式を変形すると、パラメータ  $s$  と  $c$  は

$$s = \frac{a_{i,i-1}}{a_{i-1,i-1}} c \quad (2-46)$$

$$c = \frac{|a_{i-1,i-1}|}{\sqrt{|a_{i-1,i-1}|^2 + |a_{i,i-1}|^2}} \quad (2-47)$$

の式より求められる。そして、このような変換を  $i=2,3,\dots,n$  の順に行うと上三角行列  $R_k$  が得られる。

$$R_k = G_{n,n-1} \cdots G_{32} G_{21} A_k \quad (2-48)$$

これを書き直して、

$$A_k = Q_k R_k \quad (2-49)$$

とすると

$$Q_k = (G_{n,n-1} \cdots G_{32} G_{21})^{-1} \quad (2-50)$$

となる。ギブンス回転行列  $G_{i,i-1}$  はユニタリ行列であるので、 $Q_k$  もユニタリとなる。

QR 法によって作られた列  $\{A_k\}$  は  $k \rightarrow \infty$  のとき  $A_k$  が上三角行列に収束し、そのときの対角要素が固有値となる。また、収束速度をあげるために

$$A_k - p_k I = Q_k R_k \quad (2-51)$$

$$A_{k+1} = R_k Q_k + p_k I \quad (2-52)$$

と固有値のシフト  $p_k$  を入れる処理を行う。シフト量  $p_k$  は一般に  $A_k$  (大きさ  $n \times n$  行列の場合)の要素  $a_{mm}$  とする。

コンピュータで実装する場合は、まず式(2-48)において  $G_{i,i-1}$  の回転行列の部分である式(2-43)のみを扱い更新を行い、無駄なメモリアクセスと行列演算を減らす。次に、固有値は上三角行列  $A_k$  の要素  $a_{n,n}, a_{n-1,n-1}, \dots, a_{1,1}$  の順番で収束するので、その対応している収束項  $a_{n,n-1}, a_{n-1,n-2}, \dots, a_{2,1}$  が 0 に収束した場合 (ある閾値以下になった場合) に式(2-48)の演算を行う範囲を  $A_k$  の部分行列  $i=2,3,\dots,t$  で  $t$  を減らしていけば良い。

ところで固有ベクトルは、式(2-31)における  $Q_{Householder}$  と式(2-50)における  $Q_k$  を用いて

$$Q_{QR} = (Q_k \cdots Q_2 Q_1)^{-1} \quad (2-53)$$

とした時、固有ベクトルの行列  $E$  は

$$E = Q_{Householder} Q_{QR} \quad (2-54)$$

で得ることができる。またこの行列を求める時も同様に、回転行列のみの部分を更新していけば無駄な行列演算を省くことができる。

## 2.2. オンライン到来方向推定システム

MUSIC 法を用いたリアルタイム到来方向推定システムの実装を行った。システムの概要は図 2-2に示すようになっており、アレーアンテナで受信した RF 信号をアナログ部の DBF 受信機により IF 帯域までダウンコンバートを行う。次に、そのアナログ IF 信号を A/D 変換器を用いてデジタル IF 信号に変換し、デジタルダウンコンバート(DDC)を FPGA にて行い、ベースバンド信号 I,Q を得る。その I,Q 信号は A/D の制御ボードに付属の CPU を用いて TCP/IP 回線を介して PC に転送される。PC においては信号のサンプリングの制御と受け取った信号を用いて固有値分解をおこない MUSIC スペクトラムを表示・記録を行えるようになっている。

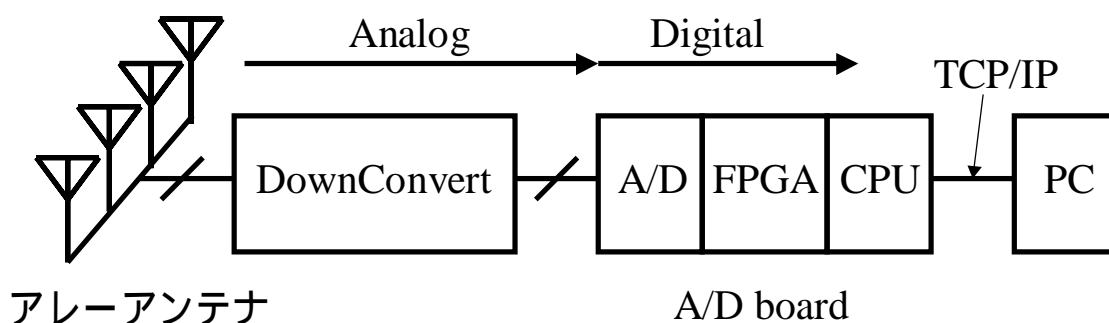


図 2-2：到来方向推定システムの構成

### 2.2.1. TCP/IP を用いたモニタソフトウェアの構成

A/D 変換器が搭載された試作機には FPGA と Hitachi-SH4(200MHz)が搭載されており、また Ethernet ポートを用いて外部の PC などと TCP/IP 通信が行えるようになっている。また、制御用の OS として UNIX 系である NetBSD が搭載されている。そこで、PC 側で A/D の信号を受信・処理を行えるモニタソフトウェアを作成した。PC 側の OS は Windows で TCP/IP を制御する Winsock ライブラリを用いて NetBSD 上で動作している SH4 と通信を行い、制御・信号の受信を行う。



## (A) TCP/IP

インターネットや Ethernet での通信において主流なプロトコルが TCP/IP であり、図 2-3 に示すような OSI (Open System Interconnection Reference Model) 参照モデルでは TCP/IP は物理層 (第 1 層)、データリンク層 (第 2 層) の上のネットワーク層 (第 3 層) に IP (Internet Protocol) が属し、その上のトランスポート層 (第 4 層) に TCP (Transmission Control Protocol) が属する。第 4 層には他にも UDP (User Datagram Protocol) がある。Windows で TCP/IP を制御する Winsock ライブラリの場合、TCP と UDP が主に扱えるが利点と欠点があり、TCP はデータの信頼性が確保されておりデータの到着順序制御・再送制御などが保証されるが、その制御にパケットを消費するため、UDP より低速となる。UDP ではプロトコル側でデータの信頼性が保証されず、ユーザーがその制御を実装する必要があるが、無駄なデータがないので高速な通信が可能となる。ここでは、A/D のデータの受信に信頼性が必要なために TCP を用いて通信を行う。

TCP は 32bit の IP アドレスと 16bit のポート番号から相手を識別し、通信を開始する場合はサーバ側とクライアント側に分かれ、サーバ側はそれ自身の決められたポート番号で待ち受け、クライアントはサーバの IP アドレスとポート番号を指定し接続を行う。接続が成功すると全二重のシリアル回線が確立され、サーバ・クライアント共に送受信を行うことができる。

OSI参照モデル	レイヤ	TCP/IPのプロトコル	
アプリケーション層	7	FTP, Telnet BGP, SMTP HTTP, SSL, SET, ...	BootP, TFTP RIP, SNMP, DNS, ...
プレゼンテーション層	6		
セッション層	5		
トランスポート層	4	TCP	UDP
ネットワーク層	3	IP, ARP, RARP, ICMP, ...	
データリンク層	2	IEEE 802.2 LLC (論理リンク制御層) IEEE 802.1 MAC (メディアアクセス制御層), ...	
物理層	1	Ethernet/IEEE 802.3 (CSMA/CD) LAN IEEE 802.4, IEEE 802.5 ANSI X3T9.5 (FDDI) LAN ATM LAN UltraNet ISDN X.25 パケット交換網 専用回線, ...	

図 2-3 : OSI 参照モデル

## **(B) TCP/IP を用いたシリアル通信**

TCP で通信を行う場合、前述したようにシリアル回線が確立される。シリアル回線で受信データと制御信号のやりとりをやらなくてはならないので、シリアル回線に通すデータの形式を決めなくてはならない。データの単位は 8bit(=1byte)単位とし、その集合でデータを表現する。図 2-4に示すモニタソフトウェアで使ったデータの packets 形式を示す。マルチバイトのデータの場合はビッグエンディアンでコーディングを行っている。Packets 形式は基本的にヘッダとしての{"Type ID"+"データサイズ"}項とデータ項から成っている。

次に、このような packets 形式を用いた Windows-NetBSD 間の通信手順について説明をする。手順は図 2-5に示すようになっており、はじめに Windows 側と NetBSD の制御ソフトウェアを実行させておき、TCP ソケットで NetBSD 側がサーバ、Windows 側がクライアントとなり Windows 側のソフトから接続を行う。

Windows 側のソフトウェアはユーザの入力系とソケットの制御は別の関数で独立に動作しており、その関数間の通信に共有メモリの FIFO を用いている。そこで Windows 側の GUI(Graphical User Interface)制御関数からの A/D 制御要求などをその共有 FIFO に入れ、ソケット制御関数はそこから命令を読み出し、その後、図 2-4に示す packets 形式で packets を作成しソケット通信の送信バッファの最後に追加する。

送信バッファに入った送信データは TCP/IP を通じて NetBSD 側のソケットの受信バッファの最後に追加され、そのバッファから packets の解析をし、完全な packets になった時点で取り出され処理が行われる。その後、要求された処理が行われたら、応答メッセージやデータを packets を作成して送信バッファに追加する。送信バッファに入った packets は TCP/IP で Windows 側に送られて受信バッファの最後に追加され、完全な packets になった時点で処理結果の報告として応答メッセージや A/D サンプリングデータなどを共有 FIFO に追加し、GUI 制御関数に通達する。

通達メッセージを受けた GUI 制御関数は図 2-6に示すような手順で処理を行う。まず、共有 FIFO からの受信データを用いて MUSIC スペクトルの計算やデータの保存、また再度サンプリングを行う場合にはサンプリングの要求を再度出すために共有 FIFO にメッセージを書き込む。MUSIC スペクトルを計算や、サンプリングされた信号波形を表示させるために共有 FIFO にあるデータのアドレスを波形表示関数や MUSIC スペクトル表示関数に通達する。波形表示関数では通達を受けたアドレスからデータを取り出し表示を行ったあと、使用後のデータは必要ないので共有 FIFO からデータを破棄する処理を行い、次の表示データの通達があるまで待機するようになっている。

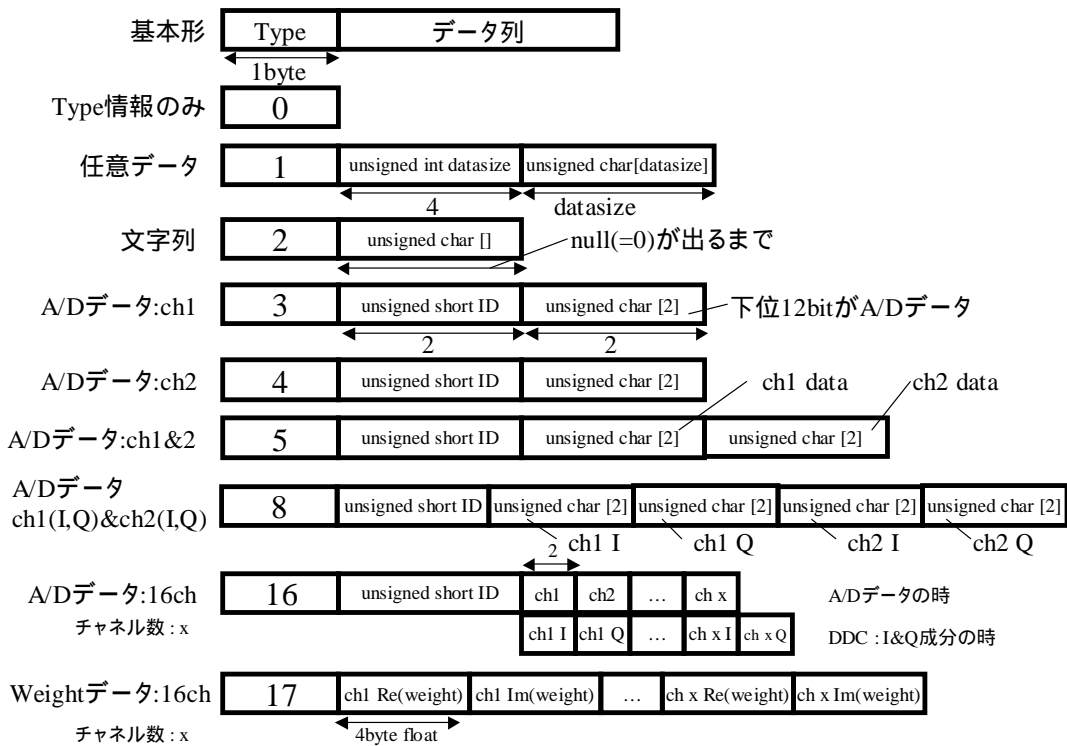


図 2-4 : シリアル回線のパケット形式

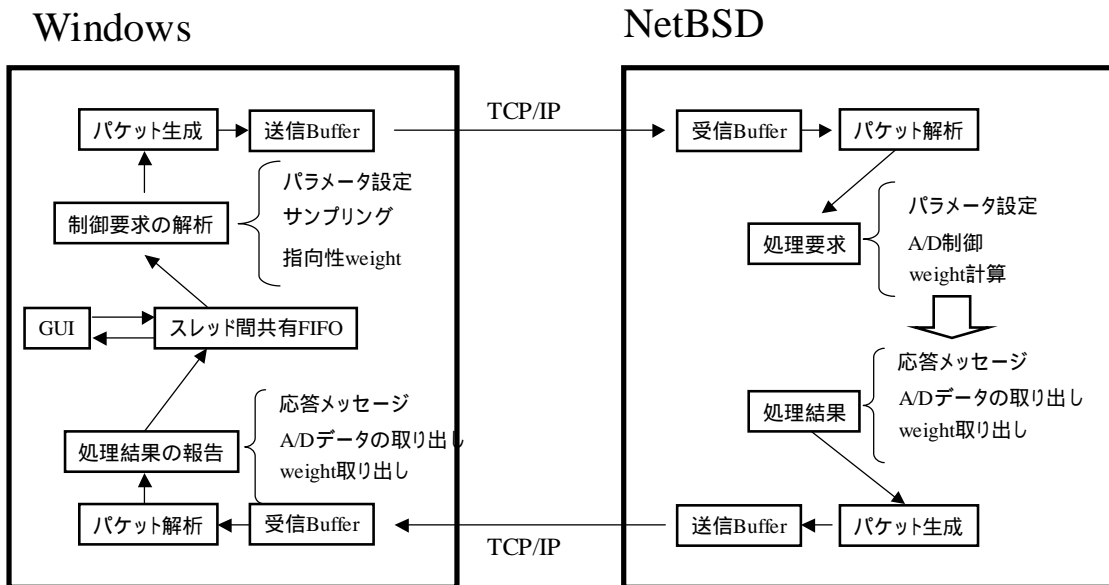


図 2-5 : 制御手順

# Windows

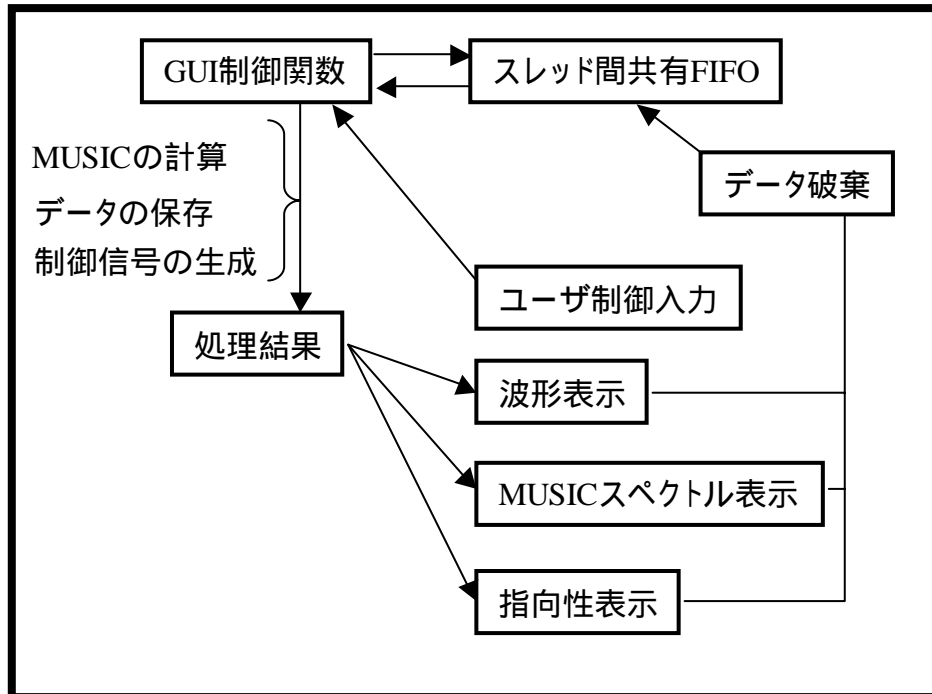


図 2-6 : GUI 制御関数の制御手順

### 2.2.2. 2 素子の装置を複数個用いた構成

A/D 変換器を 2 素子搭載した A/D ボードの概観を図 2-7に、ブロック図を図 2-8に示す。このボードを複数個(4 個)を同時に用いて到来方向推定システムを構成した。その時のブロック図を図 2-10、A/D ボードの仕様を表 2-1に示す。このシステムでは、4 素子リニアアレーで受信した RF 信号を DBF 受信機で IF 信号にダウンコンバートを行い、その出力 I・Q 成分を A/D ボードの ch1 と ch2 でサンプリングを行い、図 2-9に示すように A/D ボードを 4 枚同時に使用することによって 4 チャンネル(8 ポート)分の信号データを得ることができるようになっている。制御は PC 上のモニタソフトウェアから行き、モニタソフトウェアはソケット回線を 4 つ同時に確立させ 4 つの A/D ボードの制御を行うようになっている。また、A/D ボードの A/D サンプリングを行うタイミングは Master-Slave 構成で Master A/D ボードから出力されたサンプリングトリガークロックを他の Slave(+Master)に入力することによって、サンプリングを同時に行えるようになっている。

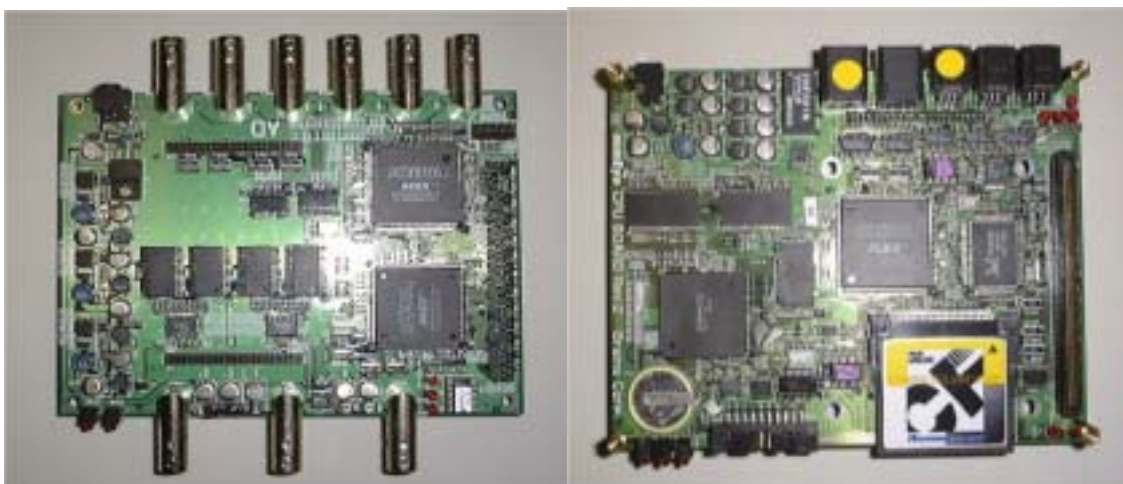


図 2-7：2 素子 A/D ボードの概観（左：A/D・FPGA ボード、右：CPU ボード）

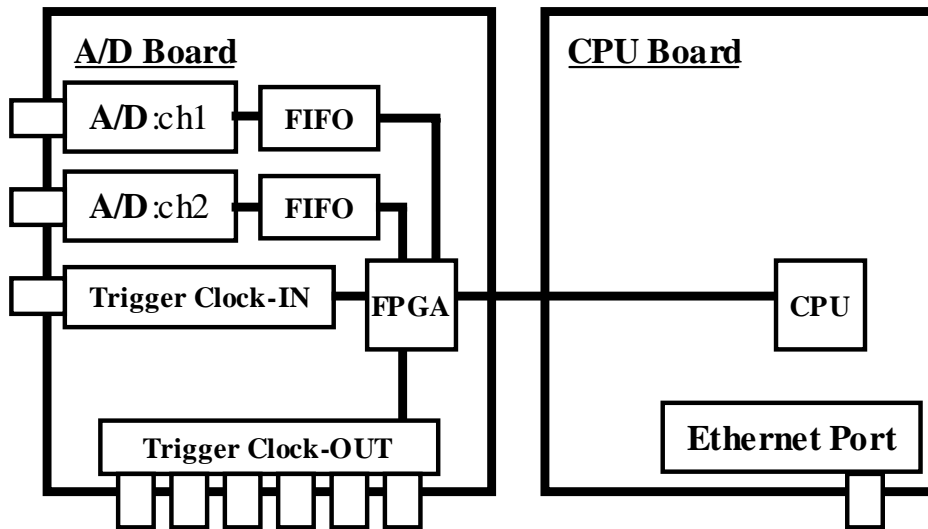


図 2-8 : 2 素子 A/D ボードのブロック図



図 2-9 : A/D ボードを 4 つ接続した概観

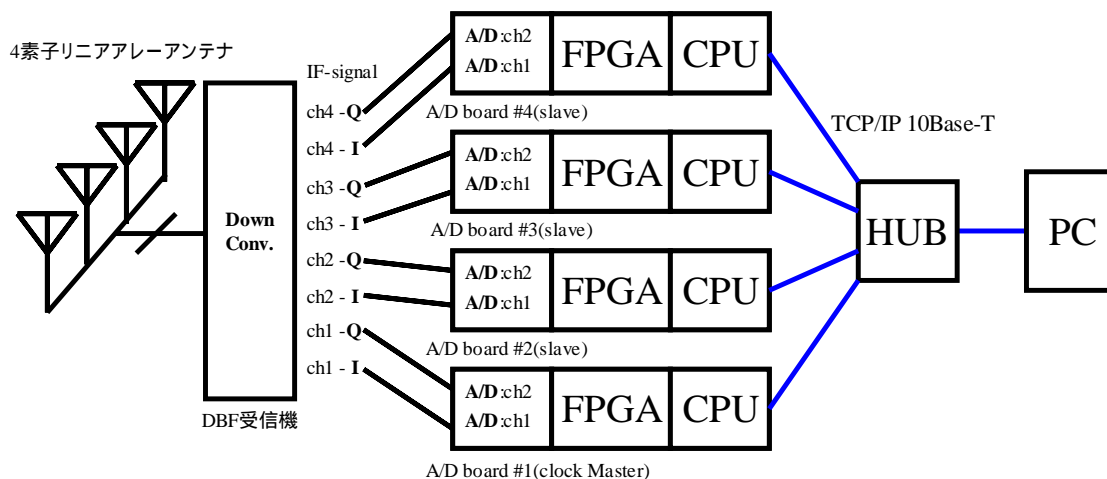


図 2-10：到来方向推定システムのブロック図

表 2-1：A/D ボード仕様

A/D converter	解像度 12bit 最大サンプリング周波数 40MHz ボード 1 枚につき 2 ポート搭載
FIFO	A/D の後段に接続 容量 256k word(sample)/channel
CPU	Hitachi SH4 200MHz(360MIPS,1.4GFLOPS) 制御用 OS:NetBSD が稼動
FPGA	合計 25 万ゲート
Interface	TCP/IP Ethernet port (10Base-T)

### (A) 到来方向推定実験

図 2-10に示すシステムを用いて到来方向推定の実験で動作確認を行った。実験に使用したパラメータを表 2-2に、実験モデルを図 2-11に示す。ここでは、送信側を固定し受信アンテナをターンテーブルに載せ、受信アレーアンテナが送信アンテナの方向を向く正面方向を  $0^\circ$  方向としている。送信信号は 8.45GHz の搬送波に 1MHz の IF 信号がのっているものとして、8.451GHz の正弦波を用いて送信を行った。

### (B) 実験結果

ターンテーブルを  $=0^\circ$  方向から  $10^\circ$  おきに一定時間停止して回転させた時の到来方向推定の結果である MUSIC スペクトラムの軌跡を図 2-12に示す。同図の左が MUSIC スペクトラムの軌跡で横軸が MUSIC スペクトラムのレベル

(dB)を色の濃淡で示しており、白色(0dB)が最もピークが強い部分を表し、推定された到来方向となる。縦軸は経過時間でプロットされており、ターンテーブルの動いた様子がわかる。同図の右が作成したモニタソフトウェアの動作中の画像で、上が A/D 変換された信号の波形で、下がその時の MUSIC スペクトラムである。この結果からわかる通り正常に動作が行われていることが確認できた。

データ処理としては、サンプリング周波数 40MHz、分解能 12ビットで A/D から I/Q それぞれ 1024 回サンプリングしたデータを TCP/IP(Ethernet)で PC に転送し、そのデータを Pentium3/800MHz(Windows2000)の PC 上でスナップショットを取り、その相関行列を QR 法により固有値分解し MUSIC スペクトラムの構成・表示を行い、またデータを受信するといったような処理を繰り返し行った。そして、この 1 回の処理時間が短ければリアルタイム処理とみなすことができる。実際に一連の処理を行った時の処理時間は図 2-13に示すようになり、準リアルタイム処理が行えていることがわかる。今回の A/D ボードを複数個用いる構成では汎用性のため Ethernet によるデータの転送がシステムの速度を決定している。よって、同一ボード内に A/D を搭載し、オンボードの CPU で処理を行えばさらに高速に動作させることが可能である。

表 2-2：到来方向推定実験パラメータ

アンテナ	0.5 間隔 4 素子リニアアレーアンテナ
RF 周波数	8.451GHz
IF 周波数	1MHz
A/D サンプリング周波数	40MHz



# 電波暗室

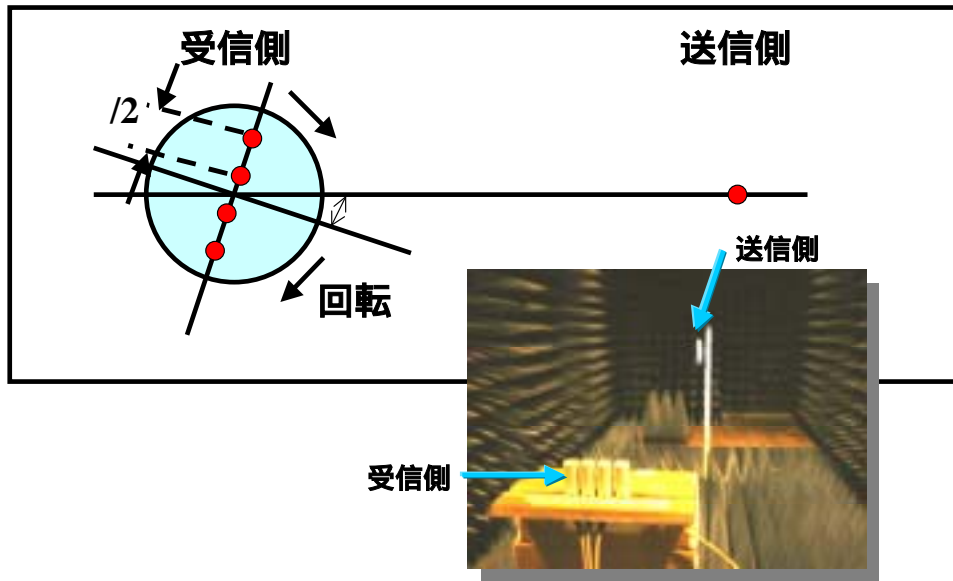


図 2-11：到来方向推定実験

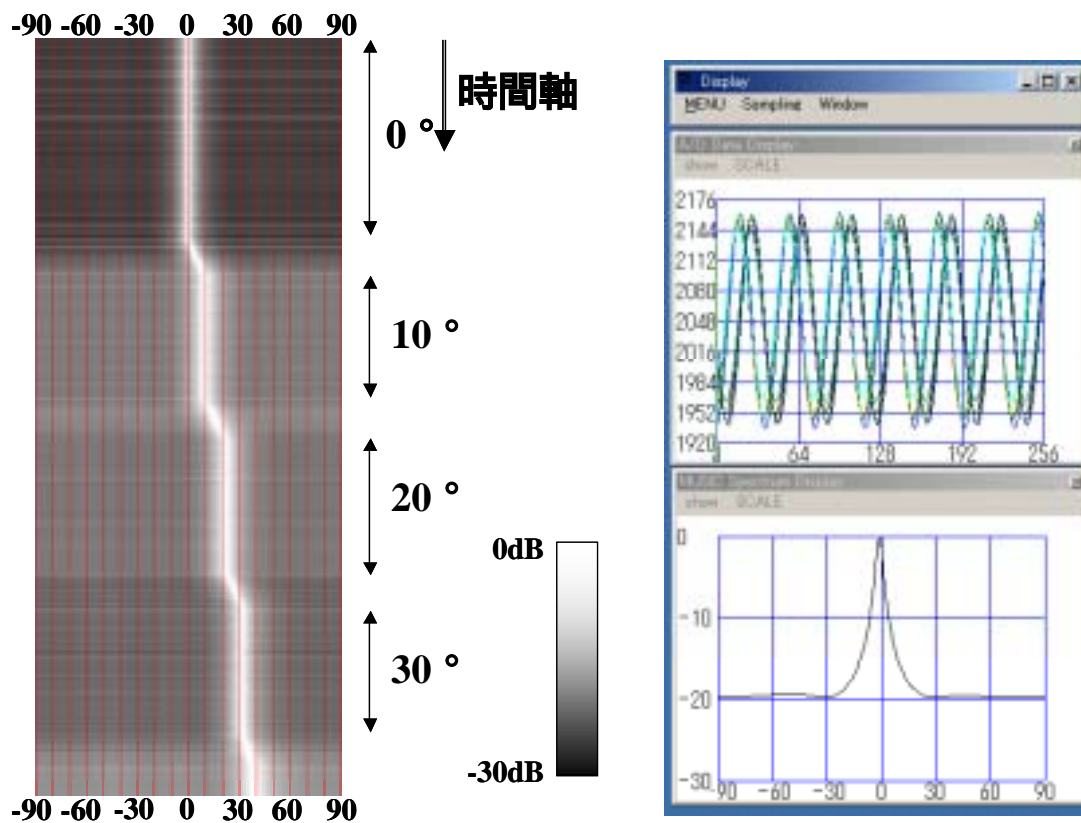


図 2-12：到来方向推定結果（左）と GUI（右）

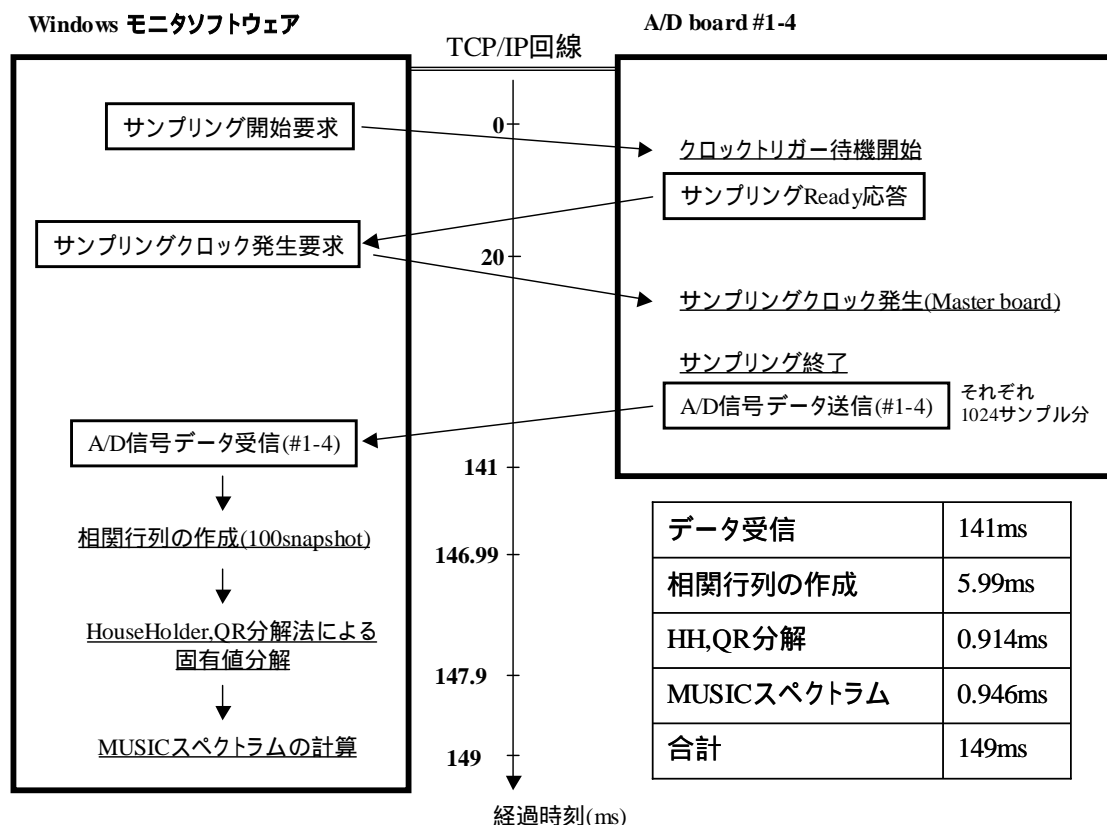


図 2-13 : 処理時間(4 素子、I-Q 合計 8ch × 1024 サンプル)

### 2.2.3. 16 素子の装置を用いた構成

A/D 変換器を 16 素子搭載した A/D 制御 BOX の概観を図 2-14に、ブロック図を図 2-15の右側破線部内に示す。制御 BOX は図からわかるように、CPU ボード、Mother ボード、A/D ボード(×2)から構成されている。この制御 BOX を用いて到来方向推定システムを構成した。その時のブロック図を図 2-15、A/D 制御 BOX の仕様を表 2-3 に示す。

#### (A) Digital Down Conversion

一般に受信機では、アナログの RF 信号を何段階かの周波数変換でベースバンド信号にする方式(スーパーヘテロダイン方式)と、RF 信号を直接ベースバンドに変換をする方式(ダイレクトコンバージョン方式)がある。ダイレクトコンバージョン方式はシンプルな構成で実現できるが、DC オフセットの問題がある。スーパーヘテロダイン方式において、アナログで周波数変換をする部分と、

デジタルで周波数変換をする部分によって図 2-16に示すように分けられる。

同図上段はアナログで検波を行い、その I・Q 出力を A/D 変換を行うようになっている。アナログで検波を行っているので、I・Q 出力に不整合が生じやすいが、A/D のサンプリング周波数は低く抑えられる。

同図中段はアナログで IF 信号まで周波数変換を行い、その信号を A/D 変換し、デジタル検波を行いベースバンド I・Q を得るようになっている。デジタルで検波するために歪のない I・Q が得られるが、IF でサンプリングを行うために A/D に比較的高速なものが必要となる。

最後に同図下段は RF 信号を直接 A/D 変換しデジタルでベースバンドに変換を行う方法である。RF 信号を直接サンプリングするので、超高速の A/D 変換器が必要となり実現が難しい。

今回は、同図中段の IF サンプリングを行うシステムを用いた。IF 周波数を比較的低くする方式(Low-IF 方式)で 10MHz の IF 信号を想定している。IF 信号が 10MHz で A/D 変換機の動作周波数は 40MHz なので、4 倍のオーバーサンプリングでサンプリングを行うことができ、その信号を図 2-17に示すようなデジタルダウンコンバート(DDC)でベースバンド信号 I・Q を得るようになっている。DDC では、サンプリングが 4 倍オーバーサンプリングなことから、検波に用いる直交 LO は  $\cos \omega t = \{1, 0, -1, 0\}$ ,  $-\sin \omega t = \{0, -1, 0, 1\}$  となり信号に掛けた場合には加減算のみで表すシンプルなものにできる。

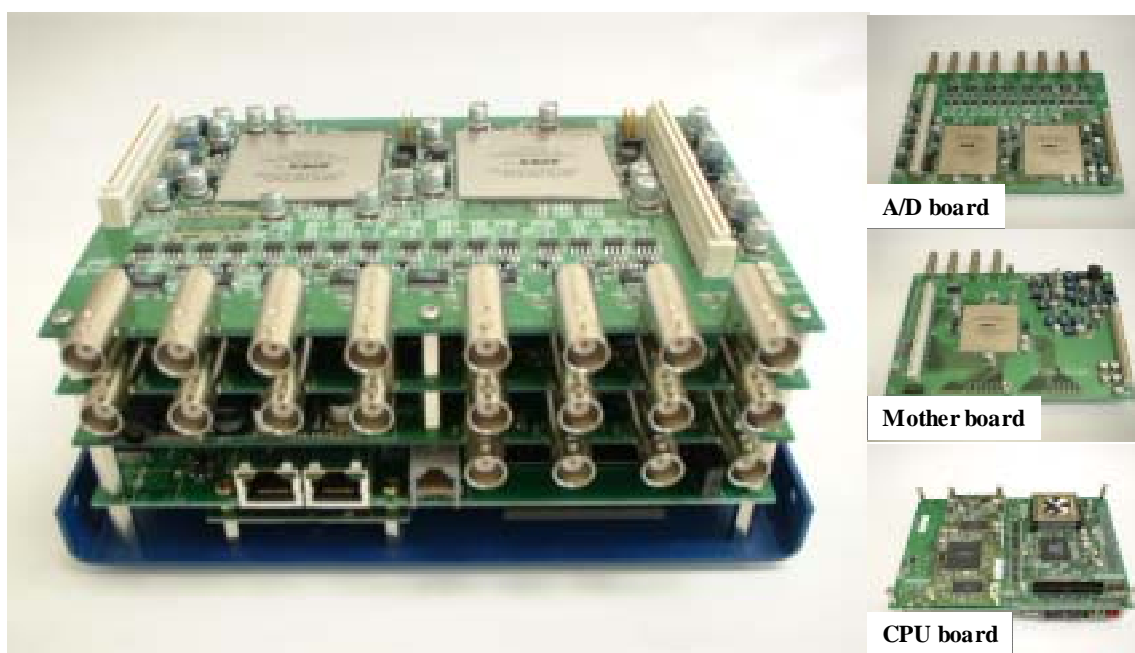


図 2-14 : A/D 制御 BOX 概観

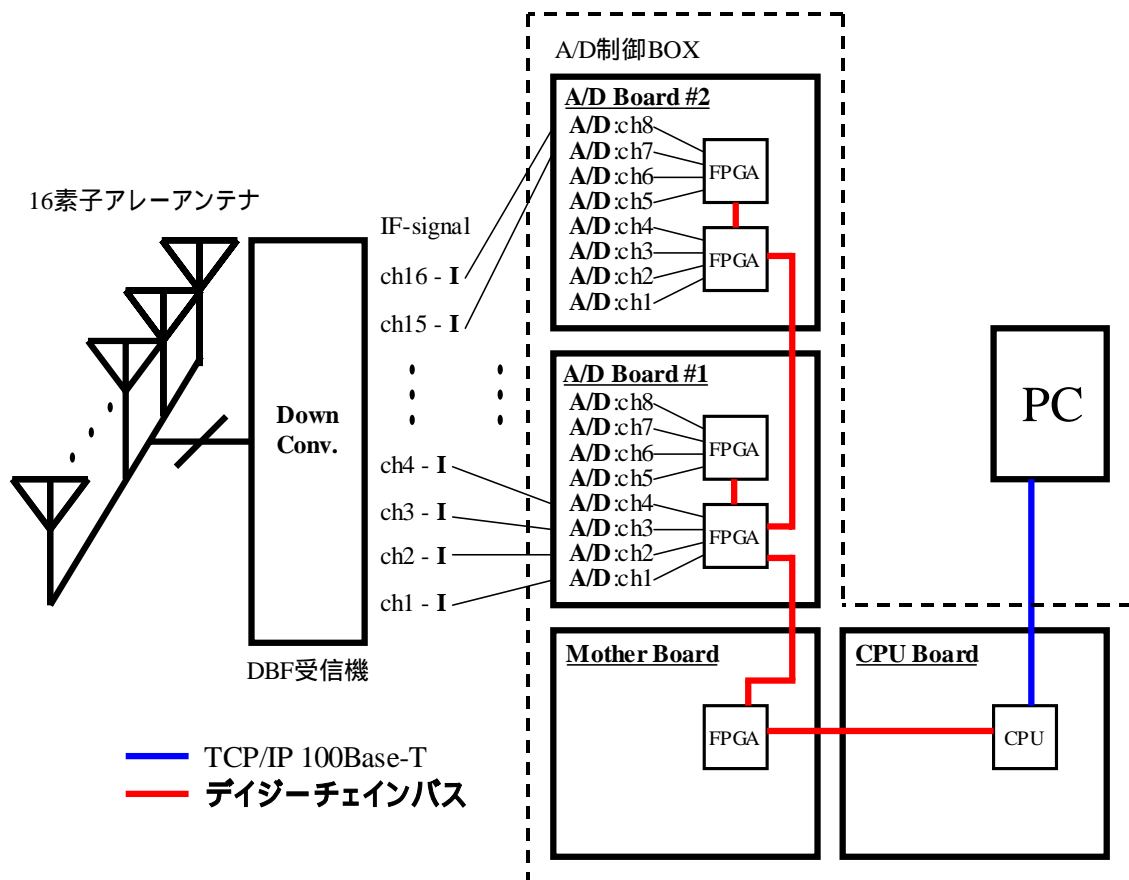


図 2-15 : 16 素子到来方向推定システムのブロック図

表 2-3 : A/D 制御 BOX 仕様

A/D converter	解像度 12bit 最大サンプリング周波数 40MHz ボード 1 枚につき 8 ポート搭載(合計 16 ポート)
CPU	Hitachi SH4 200MHz(360MIPS,1.4GFLOPS) 制御用 OS:NetBSD が稼動
FPGA	60 万ゲート × 5(A/D board 2 × 2, Mother 1)
Interface	TCP/IP Ethernet port (100Base-T)

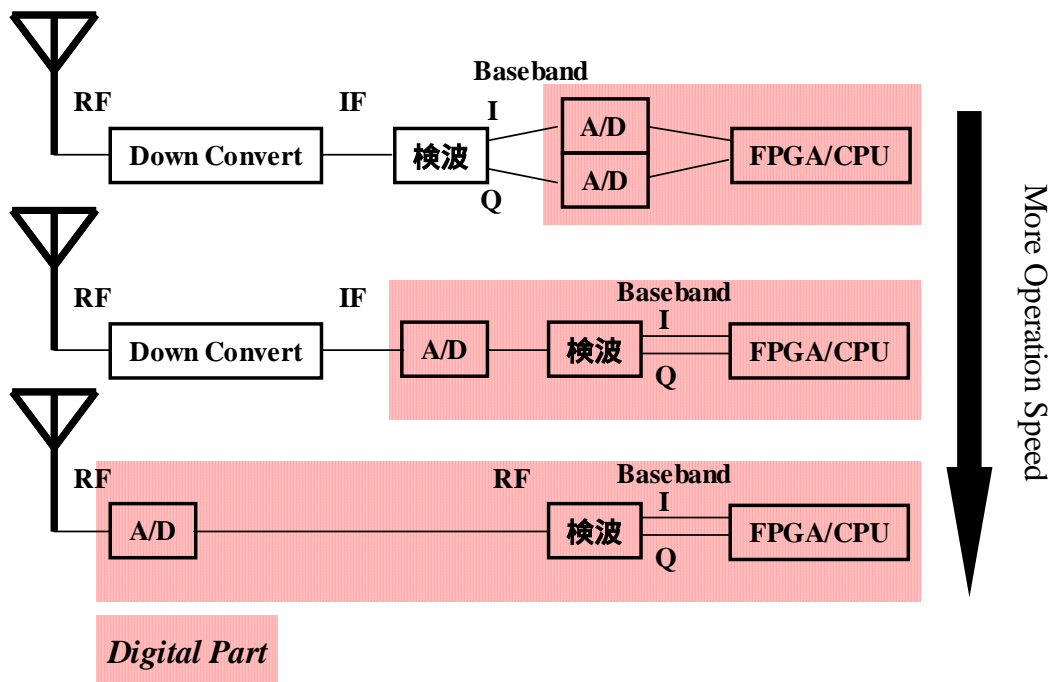


図 2-16 : サンプリング構成(BB,IF,RF)

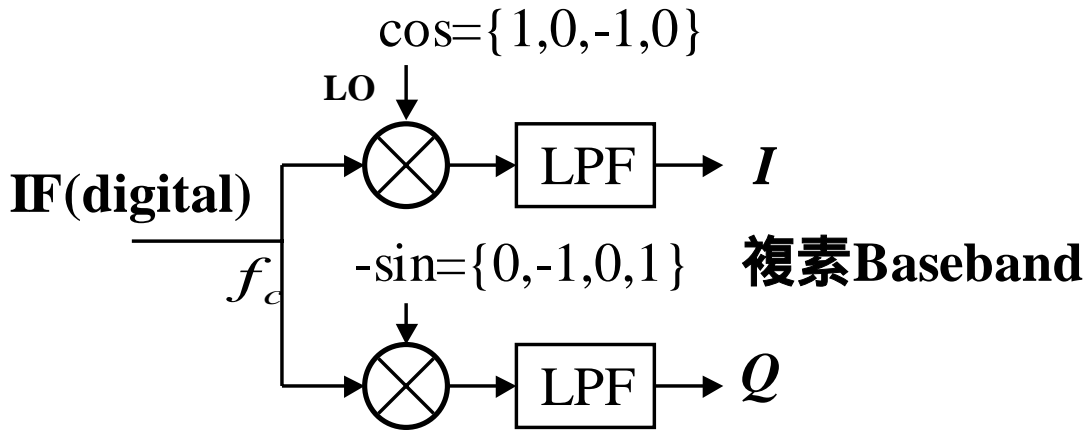


図 2-17 : Digital Down Conversion

## **(B)モニタソフトウェア**

16 素子 A/D 制御 BOX 用のモニタソフトウェアを作成した。接続は図 2-15 に示すようになっているので、図 2-10 に示すような 2 素子用のものと比べると同一バス（機器）内にすべての A/D が搭載されており、オンボードの CPU または FPGA でデータ処理を行う場合には、高速な処理が行うことができる。

作成したソフトウェアの概観を図 2-18 に示す。同図の左上のパネルでは、

- ・ A/D 制御 BOX への TCP 接続・切断
- ・ 使用チャンネル
- ・ A/D モードと DDC モード
- ・ サンプリング周波数・サンプリング数
- ・ CMA/MRC のパラメータ設定
- ・ MUSIC 法の相関波に関する空間平均の処理方法や到来波数

の指定を行うことができる。また同図右上では受信した A/D のサンプリングデータまたは DDC されたベースバンド信号が逐次表示される。同図右下では MUSIC 法を用いた到来方向の推定結果のリアルタイム表示を行うことができる。MUSIC 法はモニタソフトウェアに A/D 制御 BOX から DDC されたベースバンド信号を受信することにより PC 上で計算が行われるが、その他に同図左下のよう、A/D 制御 BOX のオンボード CPU で計算された CMA(Constant Modulus Algorithm)法[付録 A]を用いたときのアダプティブ受信に使用するアダプティブアレーの複素ウエイトを指向性として表示をリアルタイムに行うこともできる。同様に FPGA 上で計算された MRC(Maximal Ratio Combining)法[付録 B]を用いたときの複素ウエイトの指向性もリアルタイムに表示を行えるようになっている。

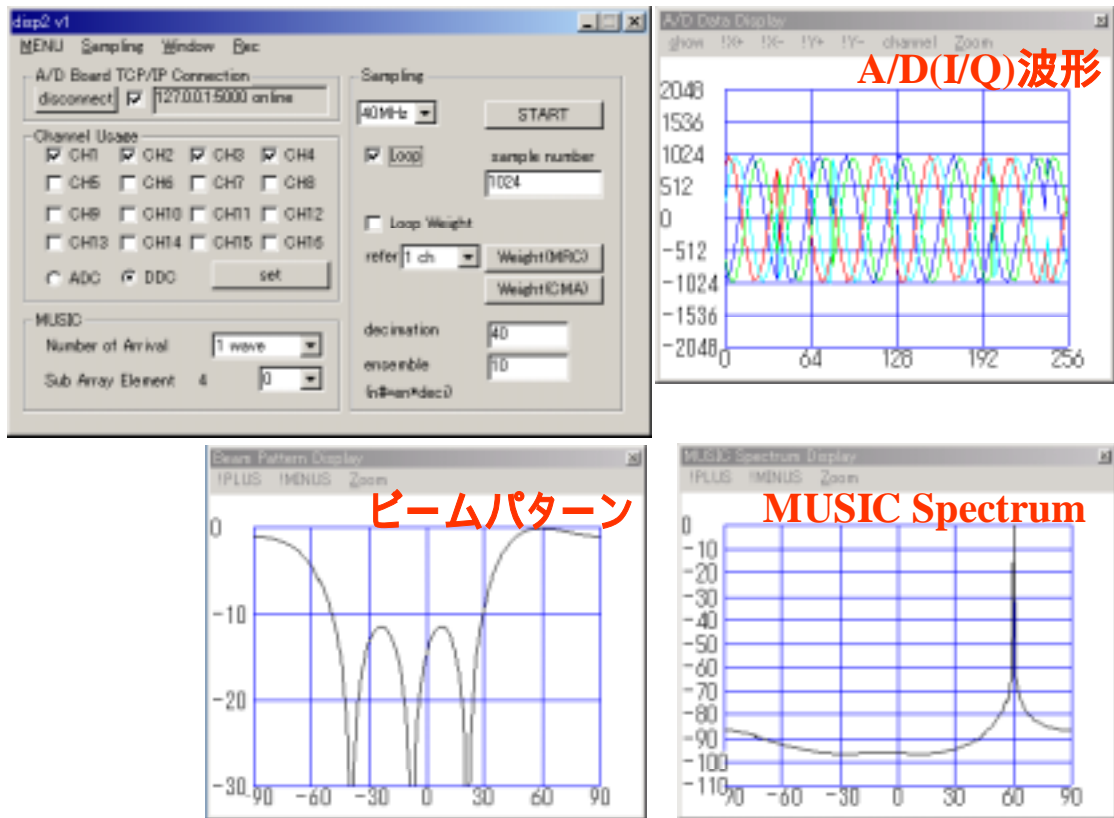


図 2-18 : 16 素子 A/D 制御 BOX 用 モニタソフトウェア

### 3. アダプティブアレーアンテナ送信機

アダプティブアレーアンテナは大きく分けて、アダプティブビームフォーミングとアダプティブマルチステアリングの2種類に分類できる。アダプティブビームフォーミングは図 3-1に示すように送信先の位置が時間的に変化したとしても指向性の方向を所望の移動局の方向に向けそれを自動的に追尾する。また、アダプティブマルチステアリングは図 1-2に示すように所望の移動局以外にアンテナのマルチ点を向けることにより干渉を抑え、所望の移動局に最大限に電力を送信する。

このようなアルゴリズムは当然、送信だけのパラメータだけで実現はできず、受信時の電波の到来方向やアダプティブアルゴリズム (MMSE, CMA など) により算出されたアレーアンテナの複素ウェイトを用いて送信時のパラメータを設定する。本章では、このような指向性を制御できるアダプティブアレーアンテナ送信機のデジタル部の実装を行う。

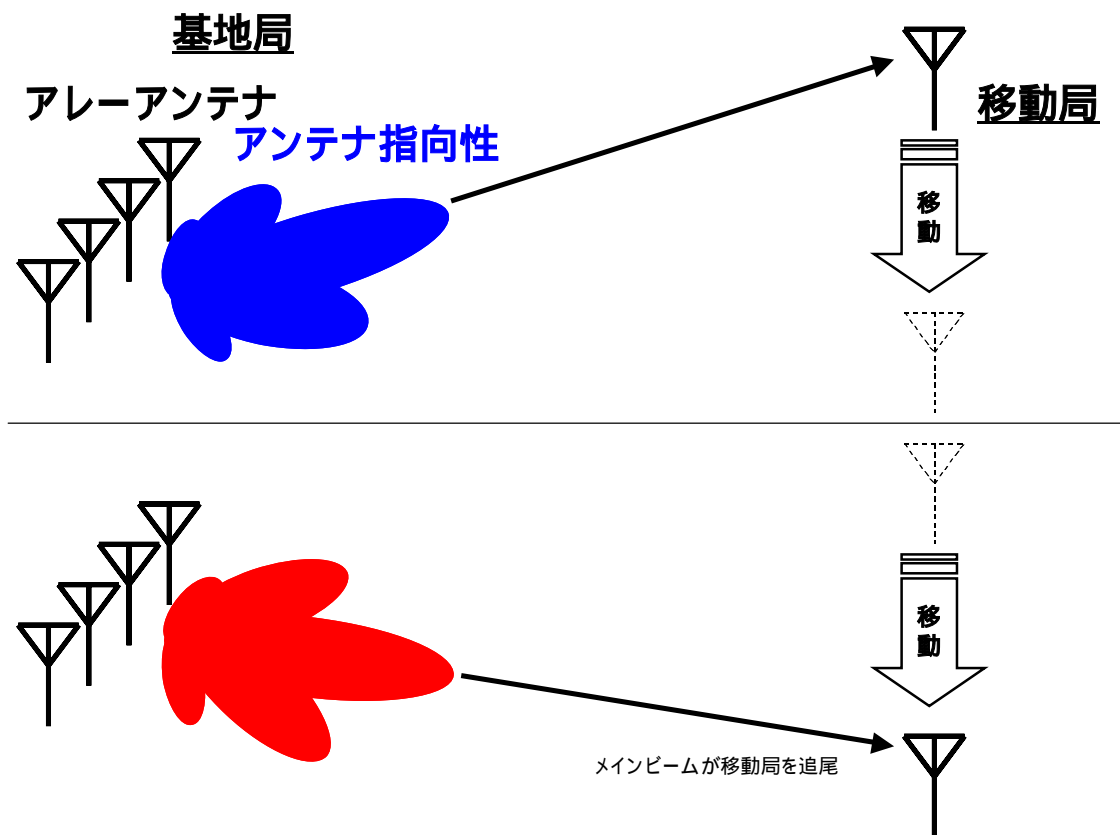


図 3-1 : アダプティブビームフォーミング



### 3.1. 送信系アダプティブアレーアンテナ

アンテナの指向性の制御を行うためには、アンテナ上の振幅と位相分布を制御する必要がある。しかし1個のアンテナでそのような処理を行うのは難しく、それを解決する方法として同じ特性のアンテナを複数個並べ、それぞれのアンテナの振幅と位相を制御して所望の指向性を実現することができる。そのようなアレーアンテナが図 3-2である。K素子で基準点からの間隔が  $d_i(i=1,\dots,K)$  のリニアアレーアンテナがあり、アンテナに入力する信号  $x(t)$  に対してアンテナそれぞれについて複素振幅・位相を制御するウエイト  $w_i(i=1,\dots,K)$  を掛けることにより指向性を制御することができるようになっている。

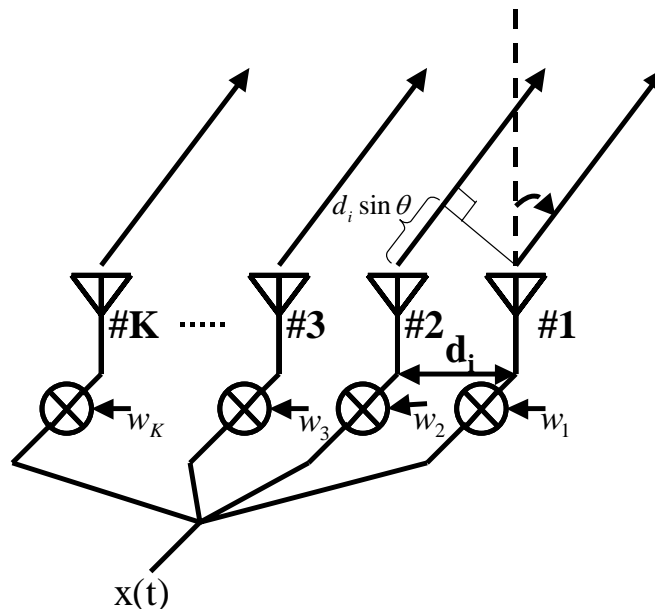


図 3-2 : K 素子リニアアレーアンテナ

このようなアレーアンテナについて、重み係数であるウエイト  $w_i$  を求める。リニアアレーにおけるアンテナの特性は無指向性ですべて等しいと仮定する。入力信号  $x(t)$ 、出力 RF 信号の搬送波周波数  $f$ 、 $i$  番目のアンテナでの電圧を  $E_i(t)$ 、複素ウエイトを振幅項と位相項に分けて  $A_i(t)$ 、 $\delta_i(t)$  としたとき、角度  $\theta = \theta_1$  方向にアンテナから電波を放射させたい場合、基準点からの伝搬時間差  $\tau_i$  は

$$\tau_i = \frac{d_i \sin \theta_1}{c} \quad (3-1)$$

となる。ただし  $c$  は伝搬速度である。よって、 $i$  素子目では  $\tau_i$  だけ早く送信すれば角度  $\theta_1$  において位相が揃う。信号がアレーの開口長より十分狭帯域であると

し、各アンテナでの電圧  $E_i(t)$  は基準点での電圧を  $E_0(t)$  とすると、

$$\begin{aligned}
 E_i(t) &= E_0(t + \tau_i) \\
 &\cong E_0(t) \exp(j2\pi f \tau_i) \\
 &= E_0(t) \exp(j2\pi f \frac{d_i}{c} \sin \theta_1) \\
 &= E_0(t) \exp(j \frac{2\pi d_i}{\lambda} \sin \theta_1)
 \end{aligned} \tag{3-2}$$

と表される。ただし、 $\lambda = c/f$  である。ところで、入力  $x(t)$  がアンテナから放射された時に電圧が  $E_0(t)$  となるとすると、複素ウエイト  $w_i$  は  $A_i(t)$ 、 $\delta_i(t)$  と分けて書けるので、

$$\begin{aligned}
 E_i(t) &= E_0(t) \cdot w_i \\
 &= E_0(t) A_i \exp(j\delta_i)
 \end{aligned} \tag{3-3}$$

とできる。式(3-2)と式(3-3)は等しいので、

$$A_i = 1 \tag{3-4}$$

$$\delta_i = \frac{2\pi d_i}{\lambda} \sin \theta_1 \tag{3-5}$$

となり、複素ウエイト  $w_i$  は

$$w_i = A_i \exp(j\delta) = \cos(\frac{2\pi d_i}{\lambda} \sin \theta_1) + j \sin(\frac{2\pi d_i}{\lambda} \sin \theta_1) \tag{3-6}$$

と表せる。

この時の指向性を求める。アレーアンテナから十分遠方で観測し平面波と仮定すると、合成出力  $E_{sum}(t)$  は、

$$E_{sum}(t) = E_0(t) \sum_{i=1}^K A_i \exp(j\delta_i) \tag{3-7}$$

となる。この信号を角度  $\theta$  方向から受信したとすると、基準点に対し  $i$  素子目の放射界は位相が  $\frac{2\pi d_i}{\lambda} \sin \theta$  だけ遅れるので

$$D(\theta, f) = E_0(t) \sum_{i=1}^K A_i \exp(j\delta_i) \cdot \exp(-\frac{2\pi d_i}{\lambda} \sin \theta) \tag{3-8}$$

であり、アレーアンテナの伝達関数を表す。一例として  $\theta_1 = 60^\circ$  の時の指向性

$|D(\theta, f)|$  を図 3-3 に示す。ただし  $d_i = 0.5\lambda(i-1)$  とする。

ここでは指向性のメインビームを所望の方向に向けるウエイトを求めたが、この他にもアダプティブアルゴリズムの計算結果によるものや、チェビシェフ指向性、テイラー指向性によるものなどがある。

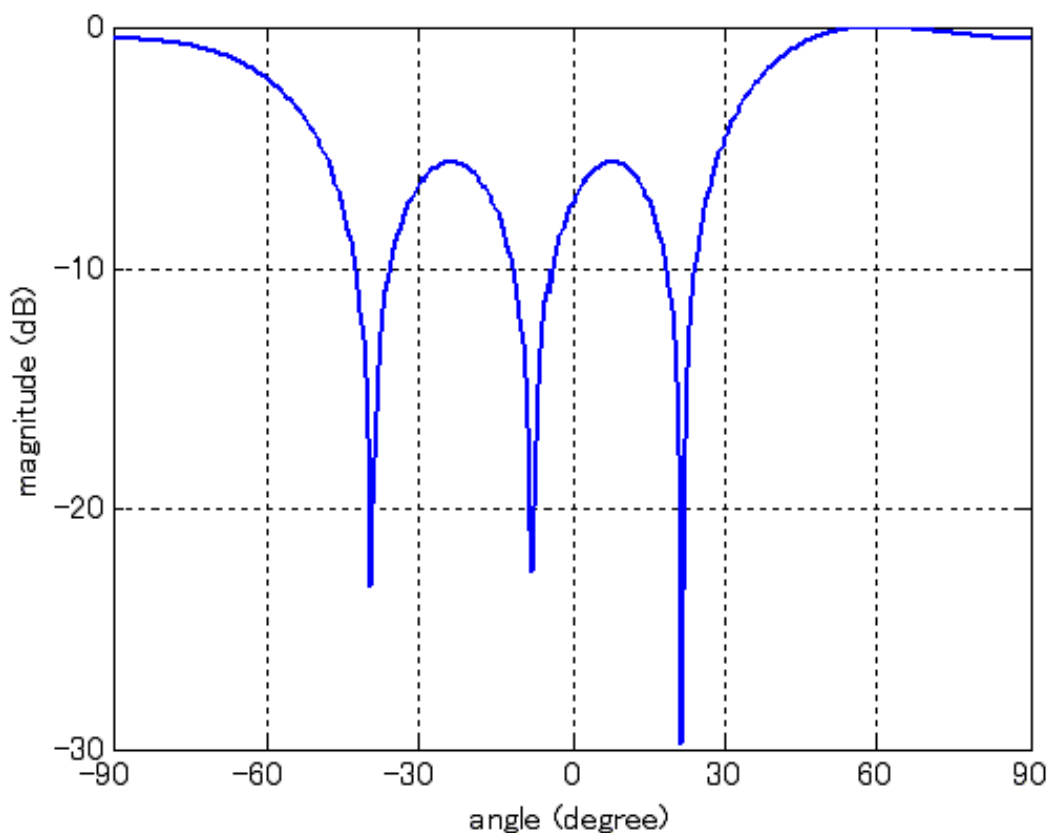


図 3-3 :  $\theta_1 = 60^\circ$  の時の指向性

### 3.2. 16 素子送信機の実装

D/A 変換器を 16 素子搭載した D/A 制御 BOX の概観を図 3-4 に、ブロック図を図 3-5 の右側破線部内に示す。D/A 制御 BOX は A/D 制御 BOX と同様に、CPU ボード、Mother ボード、D/A ボード( $\times 2$ ) から構成されている。この制御 BOX を用いて指向性合成が可能なアダプティブアレー送信機を実装した。その時のブロック図を図 3-5、D/A 制御 BOX の仕様を表 3-1 に示す。

送信機はデジタル部とアナログ部に分けられる。デジタル部のアーキテクチャとしては、図 3-6 に示すような種類があり、同図上段がベースバンド信号をデジタルで生成しアナログで変調を行うようになっており、アナログでの直交キャリアを用いるので I/Q 歪が生じるが、デジタル部に要求される処理能力は低い。同図中段はデジタルで直交キャリアを乗じて IF 信号を直接生成するために I/Q 歪が無いが、IF 信号の周波数が高い程処理が難しくなるが、近年のデバイス的高速化により実現が可能となってきた。同図下段は、IF 信号を生成せずに直接 RF 信号を生成する構成となっているが、デジタル部に要求される処理速

度が高いために実現は困難である。

今回は、同図中段のデジタル IF 型のシステムを採用した。デジタル部では CPU または PC から入力されたシリアルデータからベースバンド信号を生成し、各ポート間で複素ウエイトのついたデジタル IF 変調信号を D/A 変換しアナログ IF 信号を出力させアナログ部に入力し、RF 帯までアップコンバートを行うようになっている。

デジタル部の通信方式の仕様を表 3-2に示す。この仕様に基づいて実装を行った。

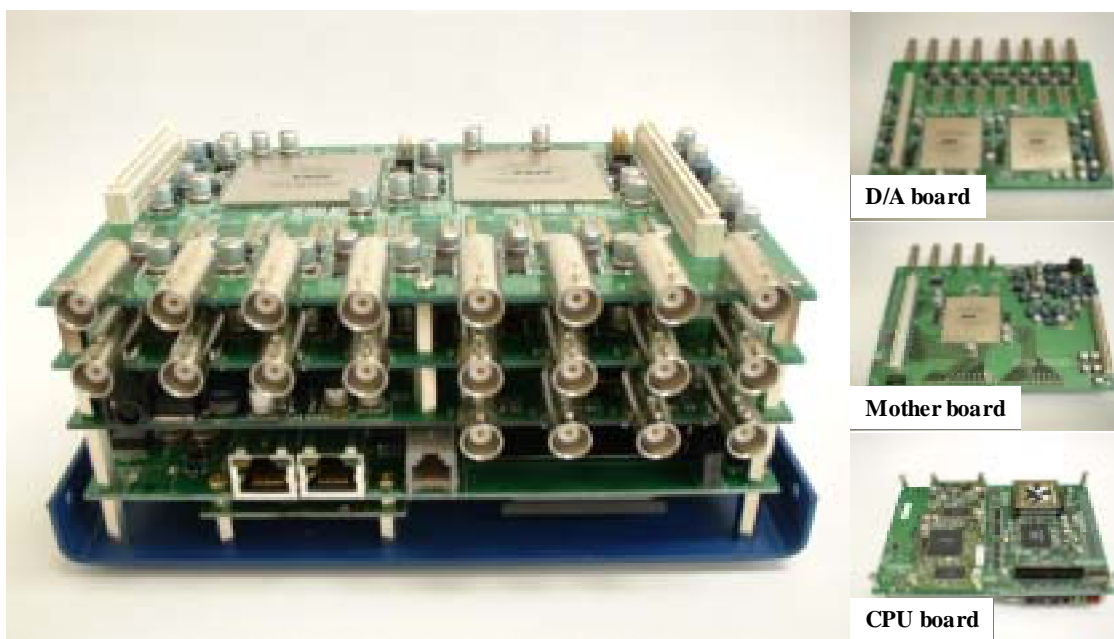


図 3-4 : D/A 制御 BOX 概観

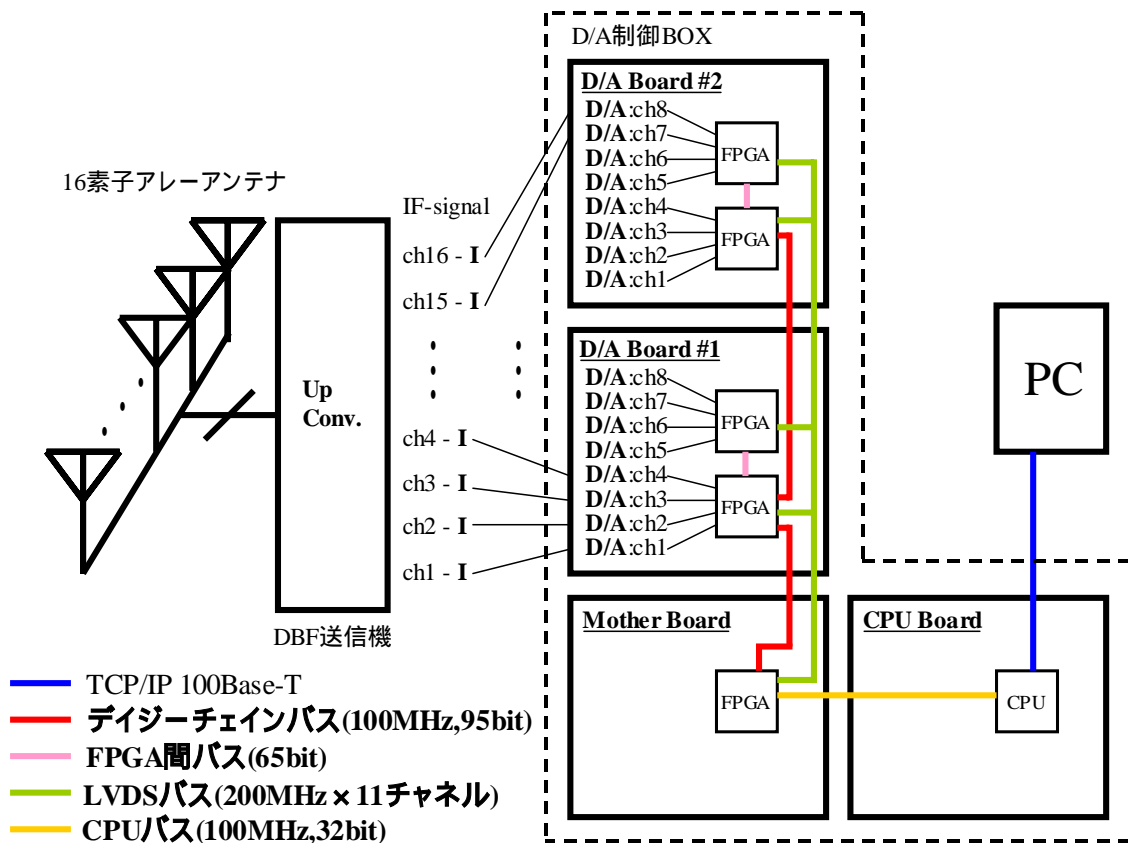


図 3-5 : 16 素子アダプティブアレー送信機のブロック図

表 3-1 : D/A 制御 BOX 仕様

D/A converter	解像度 14bit(0 ~ 1V) 最大動作周波数 125MHz ボード 1 枚につき 8 ポート搭載(合計 16 ポート)
CPU	Hitachi SH4 200MHz(360MIPS,1.4GFLOPS) 制御用 OS:NetBSD が稼動
FPGA	60 万ゲート(Mother) 40 万ゲート × 4(A/D board 2 × 2)
Interface	TCP/IP Ethernet port (100Base-T)

表 3-2 : 通信方式

アーキテクチャ	デジタル IF 型
IF 周波数	10MHz
D/A 動作周波数	40MHz (4 倍オーバーサンプリング)
変調方式	QPSK または 1/4 シフト QPSK
シンボルレート	3.33MHz (6.66Mbps)

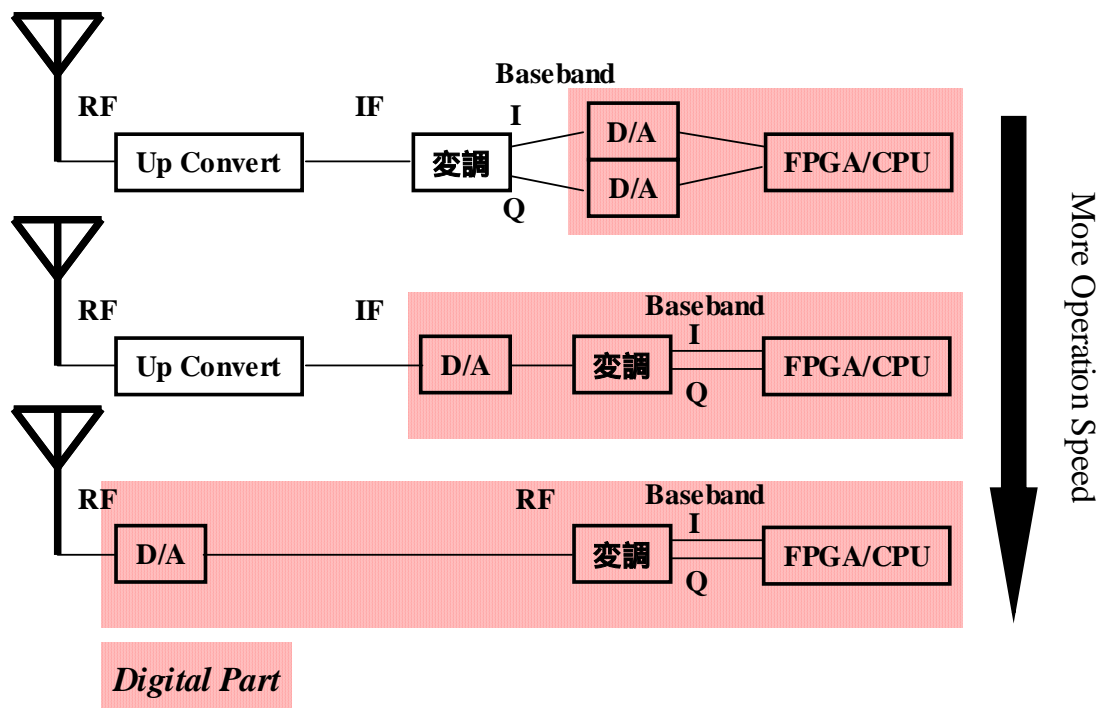


図 3-6 : サンプル構成(BB,IF,RF)

### 3.2.1. データバス接続

#### (A) チップ間バス配線

D/A 変換器及び FPGA チップ間とボード間の配線を図 3-5に示す。CPU は Mother ボード上の FPGA と 32bit、100MHz のデータバスで接続されており、制御信号・データの入出力に使用され、CPU は TCP/IP で外部の PC と通信を行うことができる。

Mother ボード上の FPGA と D/A ボード上の FPGA は 2 つのバスで接続されていて、1 つ目は汎用バスである CPU のバスに同期したデジチェーンバスである。このバスは FPGA が数珠繋ぎになっているため、後段の FPGA ほど信号の伝達遅延が大きくなってしまふ欠点がある。2 つ目は LVDS(Low Voltage Differential Signal)バスで、差動信号を用いることによりコモンノイズに強く、高速なデータ転送を行うことができる。実装した送信機の LVDS バスでは入力として 50MHz、16bit のデータを 4 倍のクロックで動作させ 11 チャンネル(11×4=44bit@50MHz)でデータの転送を行っている。また図 3-7に示すように、LVDS バスは Mother ボードの FPGA からツリー状に 1drop で D/A ボード上の FPGA に接続されているため、FPGA 間の遅延量のばらつきが小さくなっている。

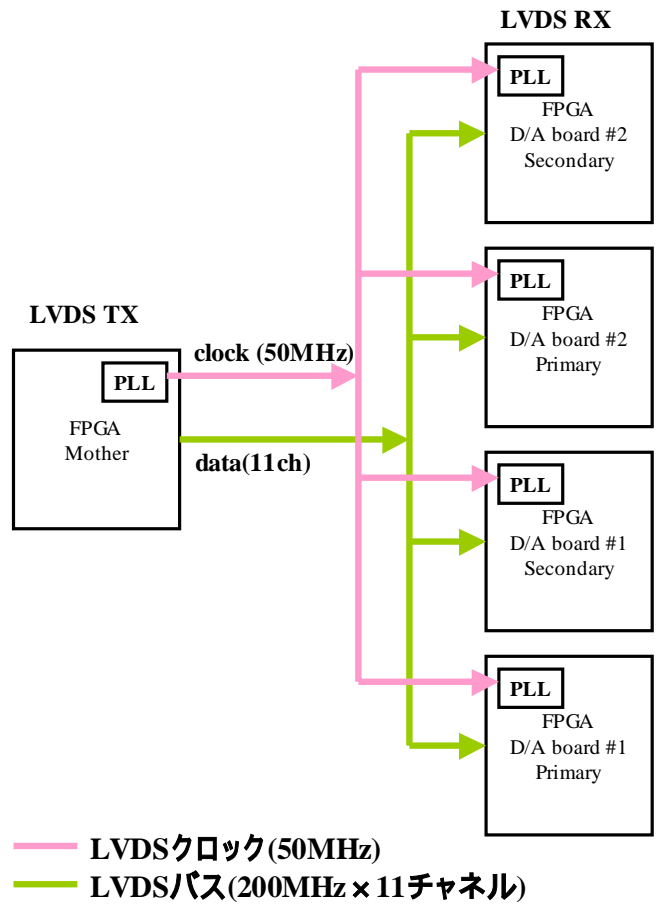


図 3-7 : LVDS マルチドロップ接続(1 対多)

**(B) FPGA 内部バス配線**

FPGA の 内 部 バ ス 接 続 の ブ ロ ッ ク 図 を

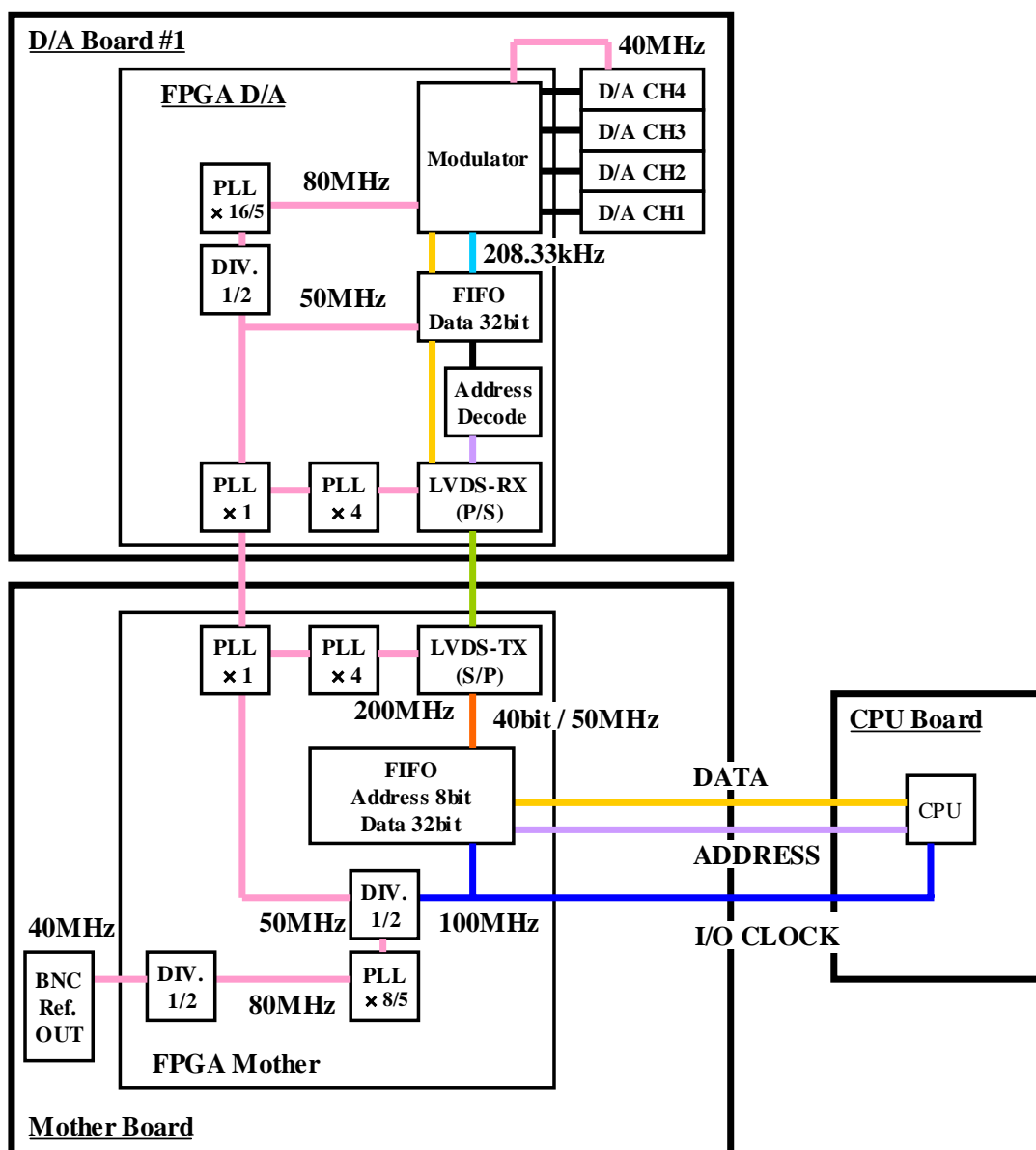


図 3-8に、データの流れを図 3-9に示す。まず送信するシリアルデータ列が CPU から 32bit を 1 単位として入力され、D/A のアドレス(8bit)を付加し Mother ボードの FIFO に格納される(40bit)。その後、LVDS Transmitter が送信クロック 50MHz に同期して LVDS バスを通じて D/A ボード上の FPGA に配信する。配信されたデータ + アドレス情報は FPGA 上のアドレスデコーダに入り、必要なデータなら FIFO にデータだけが蓄えられる。そしてそのデータは変調器(Modulator)のシンボルクロック( $3.33\text{MHz}/2\text{bit} = 208.33\text{kHz}/32\text{bit}$ )で取り出され、変調器にベースバンド信号として出力されるようになっている。また、LVDS バスを通じてデータが配信される際に各 D/A では同じ送信データであることが大多数なので、アドレスをブロードキャストとして割り当てれば、全 D/A が同じデータを受け取ることができるようになっている。



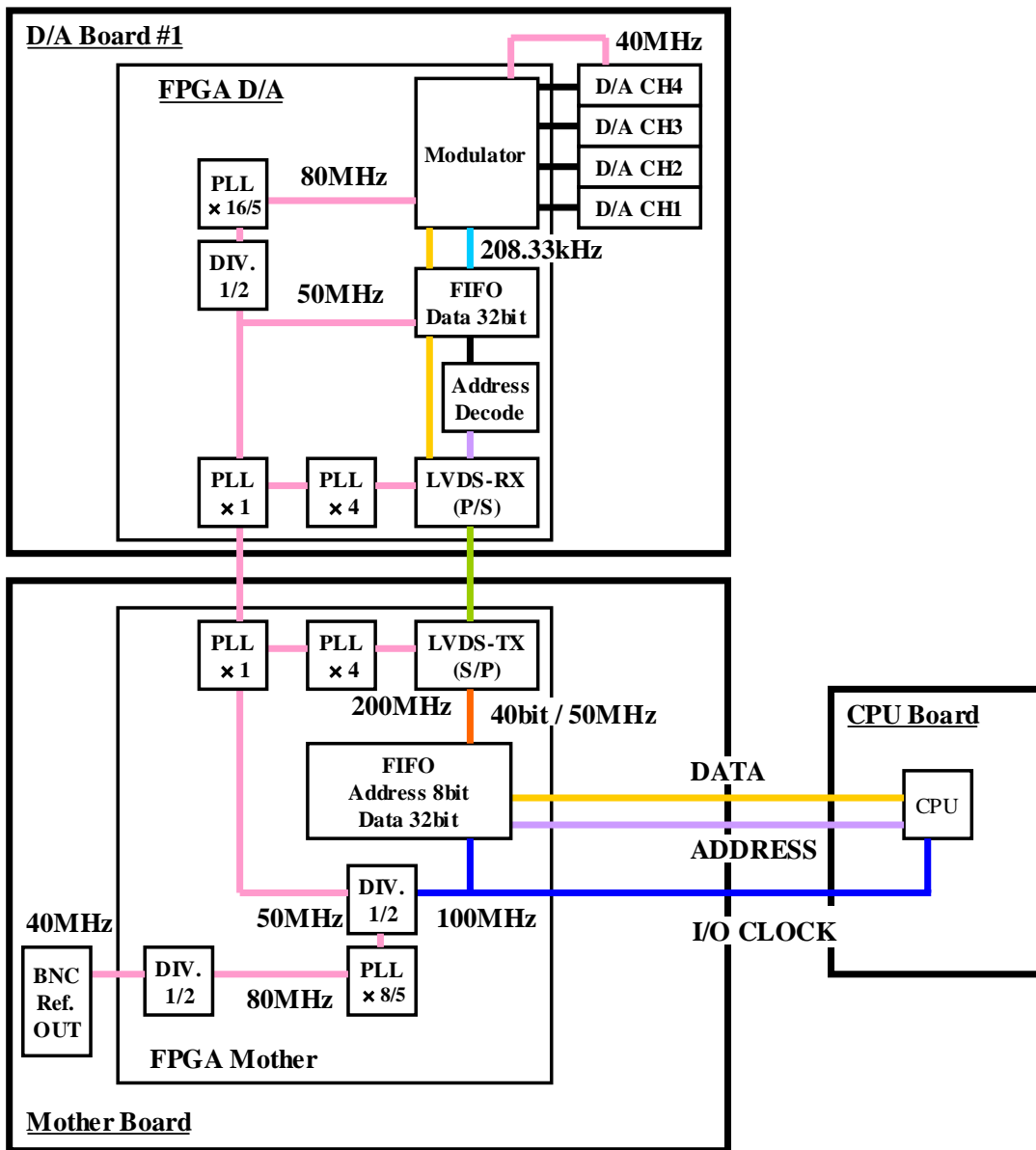


図 3-8 : FPGA 内部バス配線

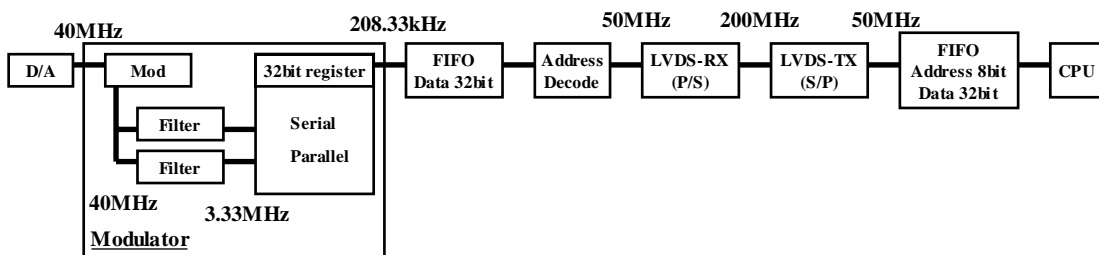


図 3-9 : データの流れ

### (C) 初期化

FPGA に論理回路を書き込む操作をコンフィグレーションと呼び、FPGA では何度でも内部の SRAM を書き換えることができる。コンフィグレーションの後に論理回路の内部レジスタなどの初期値を設定するリセット信号を発生させ初期化を行う。リセット手順は、第 1 段階としてデジチェーンバスを通じてリセット信号が配信され、Mother Primary1( Secondary1) Primary2( Secondary2)の順に初期化される。このとき LVDS バスの遅延補償機能を用いてキャリブレーションを行う。また、このリセット操作では FPGA 間で遅延が生じるため、CLOCK-ENABLE 信号を 0(disable)にしてクロックが供給されないようにして同期が必要な論理回路にはクロックを供給せずに内部変数の初期化を行う。第 2 段階目として LVDS バスを通じて D/A ボード上のすべての FPGA に対して CLOCK-ENABLE 信号を 1(enable)にする信号を配信し、FPGA 間に同時にクロックが供給されるようにすることで、同期がとれた動作が行えるようになる。

### 3.2.2. デジタル IF 変調回路

複素ベースバンド I・Q 信号を  $(I(t) + jQ(t))$  とすると、複素中間周波数信号  $cIF$  は

$$\begin{aligned} cIF &= \exp(j2\pi f_c t) \cdot (I(t) + jQ(t)) \\ &= I(t) \cdot \cos(2\pi f_c t) - Q(t) \cdot \sin(2\pi f_c t) \\ &\quad + j(I(t) \cdot \sin(2\pi f_c t) + Q(t) \cdot \cos(2\pi f_c t)) \end{aligned} \quad (3-9)$$

と表せる。よってアナログ出力される信号は

$$\begin{aligned} InphaseIF &= \text{Re}(cIF) \\ &= I(t) \cdot \cos(2\pi f_c t) - Q(t) \cdot \sin(2\pi f_c t) \end{aligned} \quad (3-10)$$

となる。

このような IF 信号を出力させる変調回路のブロック図を図 3-10に示す。変調回路は入力されたシリアルデータをシリアル - パラレル(2bit)変換し、その 2bit のデータからシンボルレート(3.33MHz)に同期して QPSK または  $\pi/4$  シフト QPSK の複素平面マッピングを行い、2 つの 12bit の符号付デジタルベースバンド信号 I・Q に変換する。その後、帯域制限と D/A 周波数にアップサンプリング(補間)を行うために I・Q それぞれについて帯域制限(兼アップサンプリング)FIR フィルタに通過させ 12bit の I・Q 信号を得る。帯域制限された I・Q 信号に対して D/A チャンネル毎の複素ウェイトを掛け、14bit のアダプティブ出力 I・Q を得たあと、その信号に対して変調を行う。変調の直交キャリアは 10MHz で D/A 変換器の動作周波数が 40MHz であるので 4 倍オーバーサンプリングとなり

$\cos \omega t = \{1, 0, -1, 0\}$ ,  $-\sin \omega t = \{0, -1, 0, 1\}$  と加減算のみでキャリアを乗算できる。そしてその信号が D/A 変換器によりアナログ IF 信号として出力される。

### **(A) 固定小数演算方法**

FPGA の内部では整数の加減算と乗算が標準で行え、小数を扱うためには浮動小数演算器または固定小数による整数演算が必要となる。浮動小数演算器は複雑で回路規模が大きくなるために並列処理のために多数の演算器を実装する場合には向かない。そのため、すべて整数演算とシフトのみで実装可能な固定小数を用いて小数を扱う。ただし符号付整数の形式は 2 の補数表現とする。

固定小数演算は、扱う値のダイナミックレンジと精度などを考慮した上で演算によるオーバーフローをしないように仮想的な小数点の位置（正規化の基数）を決定しなければならない。また演算を行う際には小数点の位置合わせのためのシフト演算などが必要となる。

これらのことを考慮した固定小数の形式を図 3-11 に示す。帯域制限フィルタの入出力の固定小数形式は同一で、ベースバンドマッピングで最大値  $\pm 1$  を基数 2048 (12bit signed) で正規化を行った。そしてそのフィルタの出力に対して乗算する複素ウエイトは、フィルタで減衰した信号を増幅できるように整数部に 2bit 割り当てている。よって約  $\pm 4$  倍の調整が行える。フィルタの出力に複素ウエイトを乗算した場合には、ビット数が  $12 \times 12\text{bit} = 24\text{bit}$  となるが、固定小数の小数点の位置が 12bit となるような 13bit の符号付の値になるように切り捨てを行う。

図 3-10 の複素ウエイトを乗じたあとの 13bit の信号の加算については、13bit 目のビットを 14bit にコピーする符号拡張を行い 14bit の信号にしてから加算を行う。

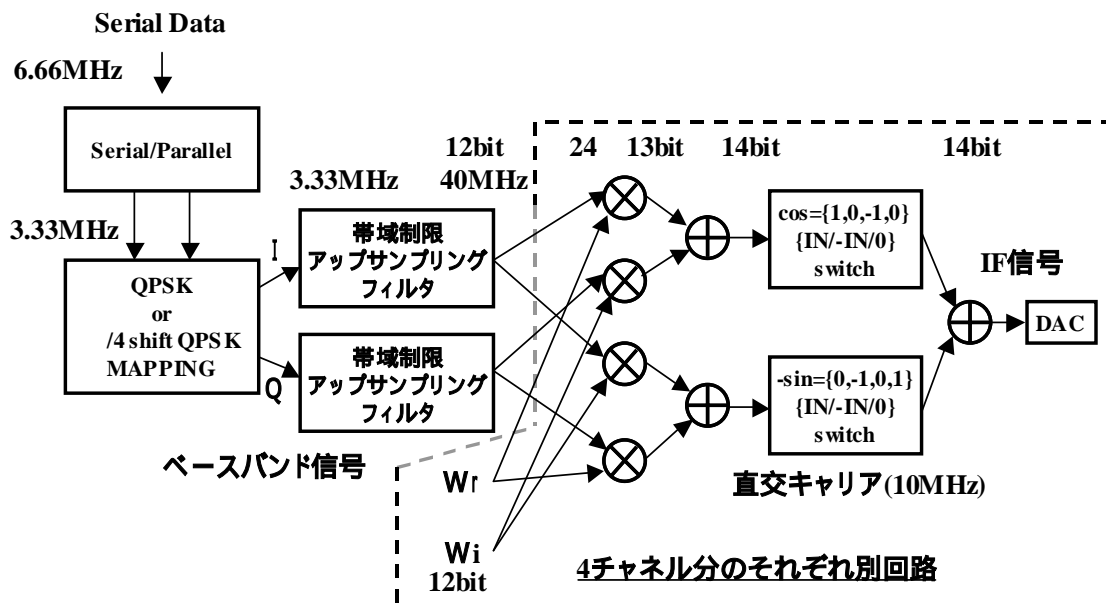


図 3-10 : IF 変調回路

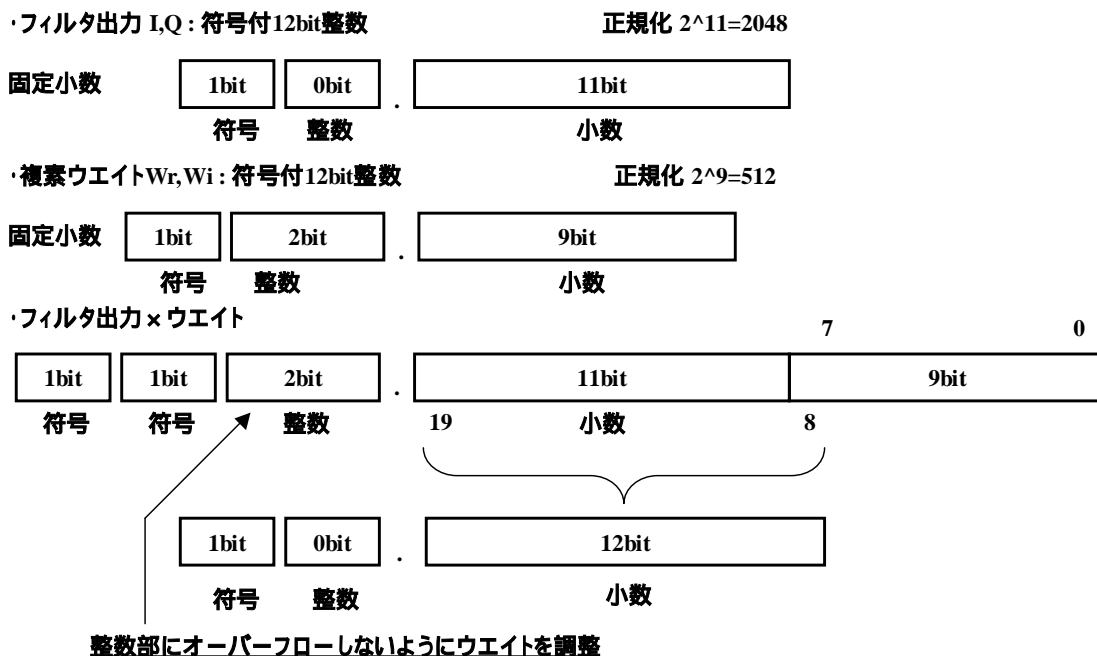


図 3-11 : 固定小数の形式

## (B) QPSK I/Q マッピング

2bit のデータを複素平面の QPSK の信号点配置である 4 点に割り当てるのがマッピング回路である。  $\pi/4$  シフト QPSK の場合は図 3-12 に示す赤点と青点のように、QPSK と交互に信号点配置が  $45^\circ$  ずれた形となっていて、信号点の遷移は図の点間の直線に等しく、原点を交わらない。

マッピングは 2bit の入力から 12bit の符号付整数を用いたベースバンド信号としての I/Q を出力する。具体的には、

$(I,Q)=\{(1,0),(0,1),(-1,0),(0,-1)\},\{(0.707,0.707),(-0.707,0.707),(-0.707,-0.707),(0.707,-0.707)\}$

と変換を行い、固定小数の場合は  $2047(2^{11}-1)$  倍して  $(1 \ 2047)$ 、 $(0.707 \ 1447)$  のように置き換えている。

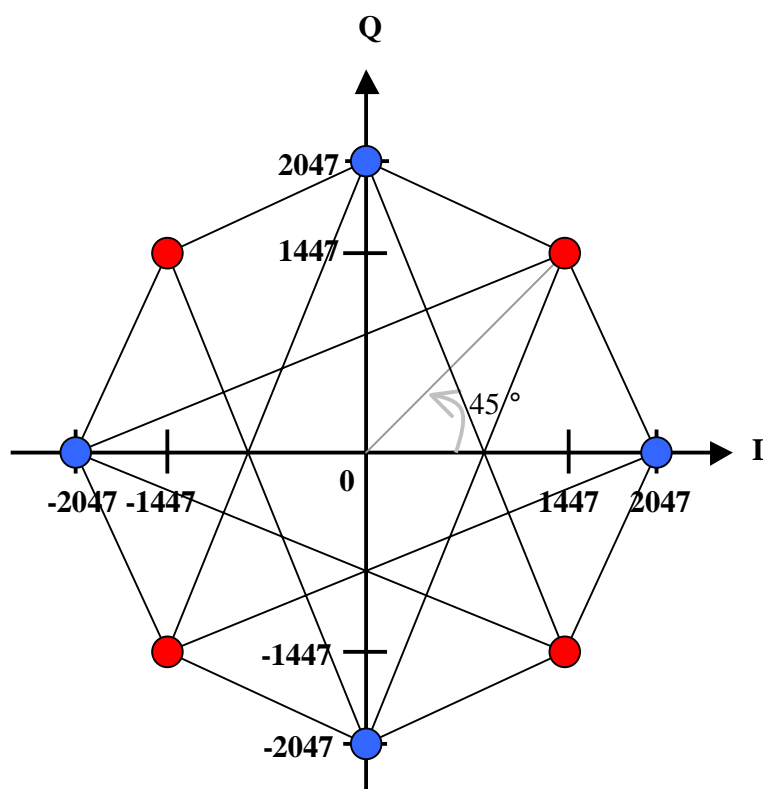


図 3-12 : QPSK マッピング

### 3.2.3. ナイキストフィルタ

デジタル信号は 2 値のパルス信号であり、無限の帯域まで高調波が含まれている。このような信号を有限の帯域を持つ伝送路で伝送すると波形になまりが生じ、符号間干渉(ISI : Inter Symbol Interference)が発生する。デジタル伝送ではデータが正確に伝送できることが重要であり、送信波形を正しく伝送することではない。従って、パルス波形を ISI の生じない波形に変換して伝送してもさしつかえはない。ISI の生じない波形とは、連続するパルス列において、自己の中心点においては振幅 0 であり、他のサンプル点においては振幅 = 0 となる波形である。このような波形を形成するための条件はナイキストによって求められている。

ISI の無い波形はナイキスト間隔：時刻  $T(= \frac{1}{2f_0})$  ごとに振幅が 0 となる。この

ような  $T(= \frac{1}{2f_0})$  ごとに振幅が 0 となるフィルタにコサインロールオフフィルタ

がある。コサインロールオフフィルタの特性は図 3-13 のようになり、次式で表される。

$$H(f) = 1 \quad (f \leq f_0 - f_1) \quad (3-11)$$

$$H(f) = \frac{1}{2} \left( 1 - \sin \frac{f - f_0}{2f_1} \pi \right) \quad (f_0 - f_1 < f < f_0 + f_1) \quad (3-12)$$

$$H(f) = 0 \quad (f_0 + f_1 \leq f) \quad (3-13)$$

この式において  $\alpha = f_1 / f_0$  とするとき、 $\alpha$  をロールオフ率という。 $f_1 = 0$ 、すなわち  $\alpha = 0$  のとき、理想 LPF となる。なお、上式におけるロールオフ特性の傾斜部分が  $f_1 = f_0$  の時

$$H(f) = \frac{1}{2} \left( 1 - \sin \frac{f - f_0}{2f_0} \pi \right) = \cos^2 \frac{f - f_0}{4f_0} \pi$$

と 2 乗コサイン(raised cosine)で表されるので raised cosine フィルタとも呼ばれ、ナイキストフィルタの一例である。また、一般にロールオフ特性を送受信にルート(root:平方根)配分するケースが多く、これをルートレイズコサイン(root-raised cosine : RRC)という。RRC は送受信に配分するのでフィルタ長などでは送受共に負荷が小さくなるが、移動局には余裕が無い場合は送信側にフィルタ長が 2 倍のものを実装すれば特性は変わらない。

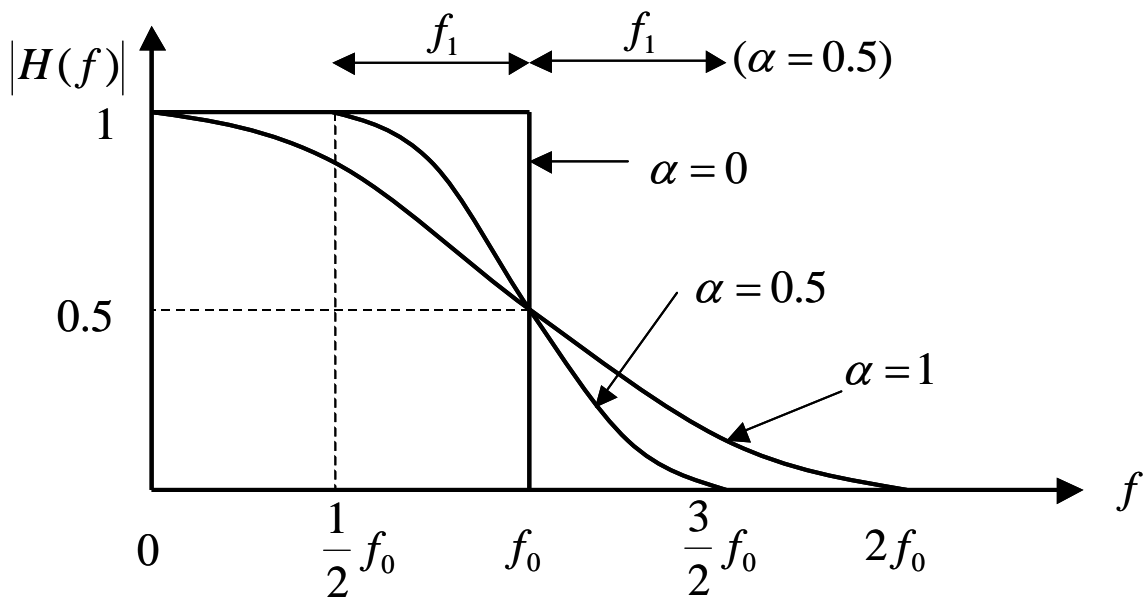


図 3-13 : コサインロールオフ特性

### (A) オーバーサンプリング・ロールオフフィルタの設計

$\alpha = 0.5$ であるコサインロールオフフィルタを Matlab の `rcosfir` 関数を用いて設計を行った。また帯域制限フィルタはシンボルレート 3.33MHz の入力信号列から D/A 変換器の動作周波数 40MHz の信号列に変換する 12 倍のアップサンプリングも兼ねる。そのため、12 倍の補間フィルタの機能も持たせてある。このようなフィルタを一般的にオーバーサンプリング・ロールオフフィルタと呼ぶ。

12 倍のオーバーサンプリングを行う場合には、図 3-14 に示すようにサンプル値 1 点に対して 11 点の 0 を挿入し補間を行う(零補間)。

オーバーサンプリング・ロールオフフィルタを Matlab で設計を行った際のパラメータは、ロールオフ率  $\alpha = 0.5$ 、基本タップ数 2 の全長数 49 タップ、12 倍オーバーサンプリングとした。Matlab の関数で得られたインパルス時間応答  $h(t)$  は浮動小数であるので、これを固定小数(図 3-11 : 符号付 12bit 整数)に変換を行わなければならない。入力された固定小数のベースバンド信号がフィルタを通過するとき計算値がオーバーフローしないようにする必要があり、その方法として次のような手順で係数(スケール値)を決定した。

- (1) フィルタの値を正規化する。 $h(t)=h(t)/\max(\text{abs}(h(t)))$
- (2) フィルタの入出力比を計算する。具体的には最悪値を想定して入力に 1、インパルス時間応答を  $h'(t)=\text{abs}(h(t))$  とすべて正にして入出力比  $r$  を計算す

る。ただしオーバーサンプリングを想定しているなのでその分だけ入力に 0 補間を行う。

(3) 入力の固定小数の最大値は 2047 であるのでフィルタの係数  $h(t)$  について

$$h_{fixed\_point}(t) = round(h(t) \times 2047 / r) \quad (3-14)$$

と固定小数の係数を決定する。

実際には(2)において多く見積もり過ぎであるので、ある程度はフィルタ係数を大きくしても問題は無い。この手順で求めた固定小数のインパルス時間応答を図 3-15、周波数応答を図 3-16に示す。ただし、 $r=1.4405$ 、フィルタの固定小数基数は  $2047/r=1421$  である。

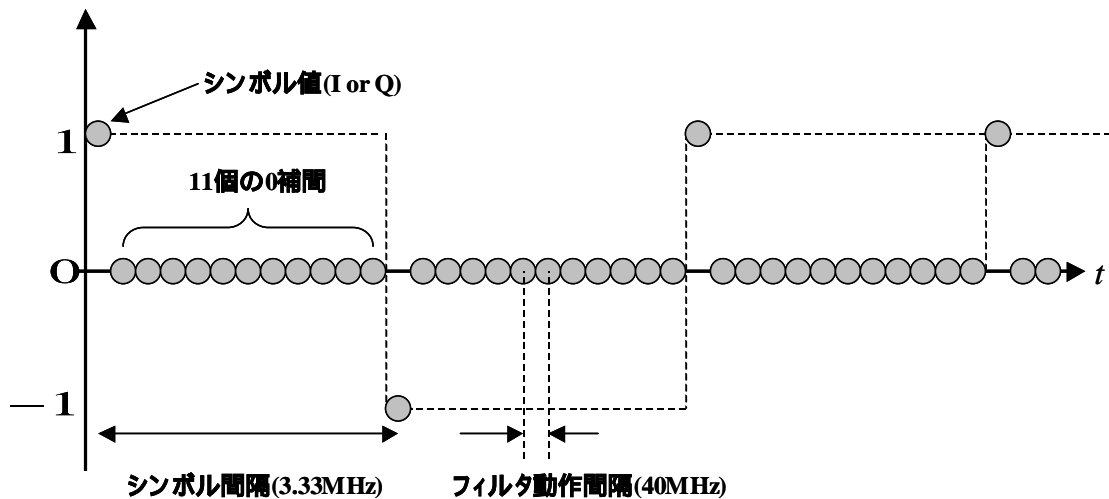


図 3-14 : シンボルの零補間



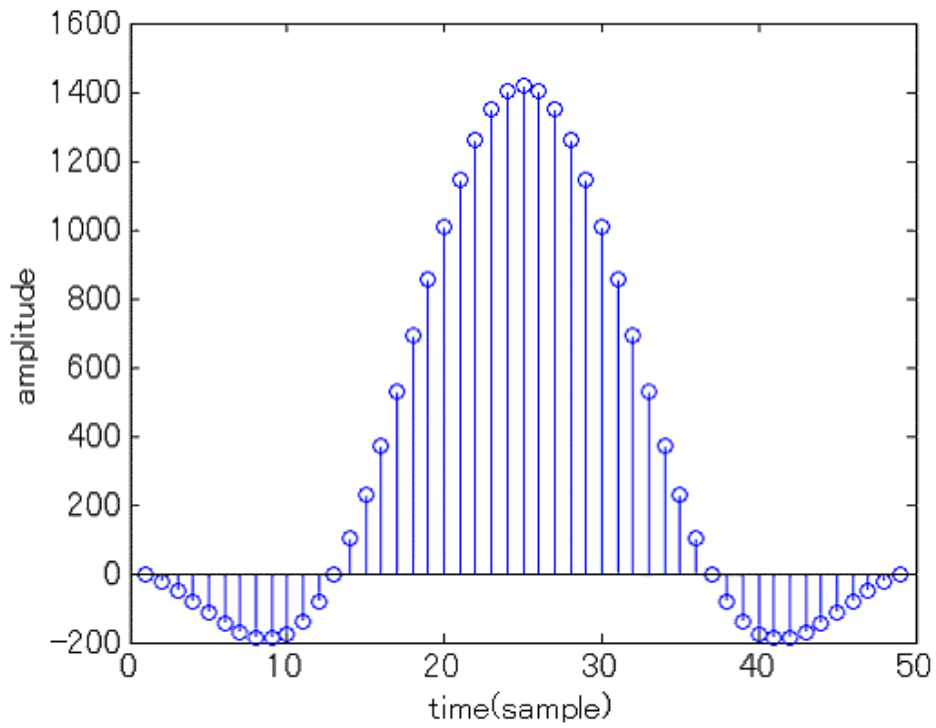


図 3-15 : インパルス時間応答

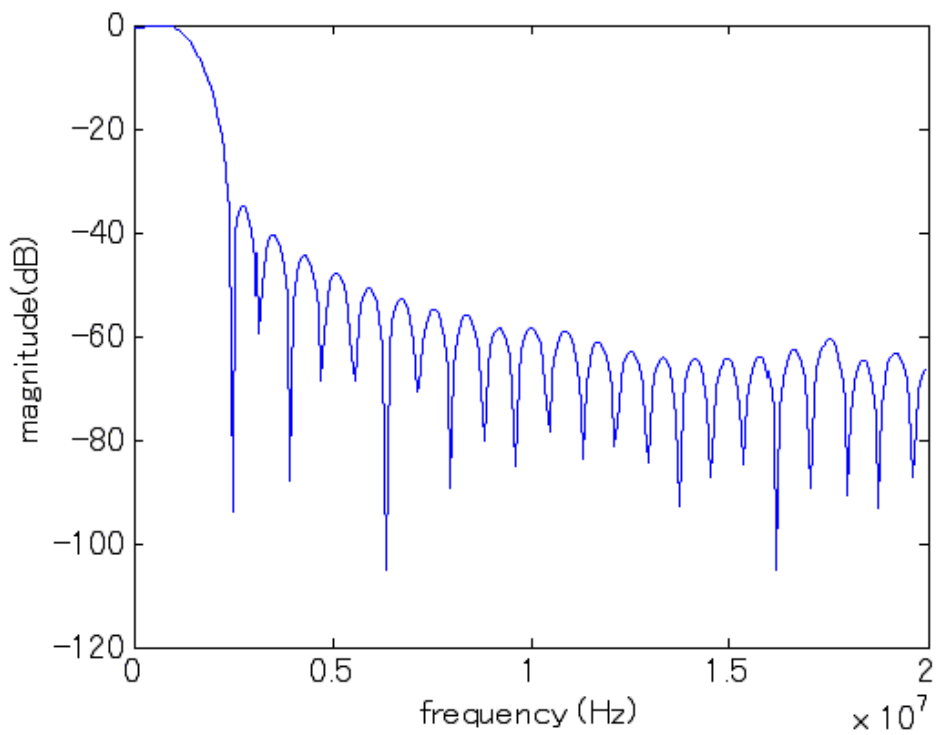


図 3-16 : 周波数応答

## (B) オーバーサンプリング・ロールオフフィルタの実装

(A)で求めた固定小数形式のインパルス応答  $h_{fixed\_point}(t)$  を用いてデジタル FIR(Finite Impulse Response)フィルタの実装を行った。FIR フィルタの形式には2つあり、図 3-17に示すような CPU により実装するのに適した直接形のもの、図 3-18に示すような FPGA などの並列処理が行えるデバイスに適した転置形がある。ただし  $M$  をフィルタの次数、 $x[n]$  をフィルタの入力、 $y[n]$  をフィルタの出力、 $h[n]$  をインパルス応答とする。

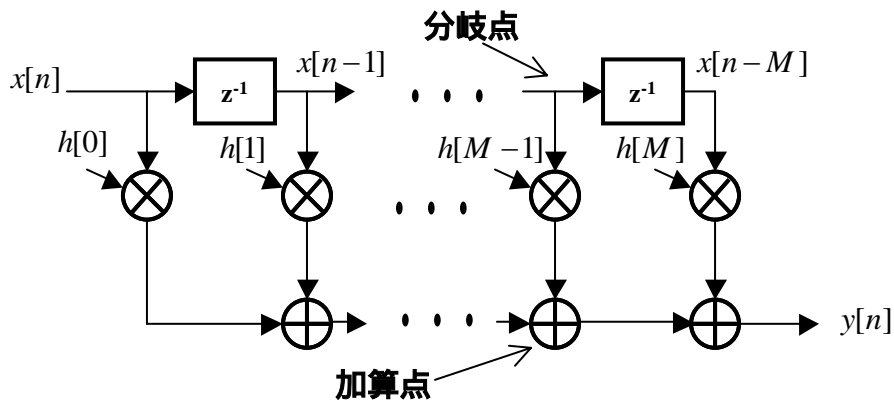


図 3-17：直接形 FIR フィルタ

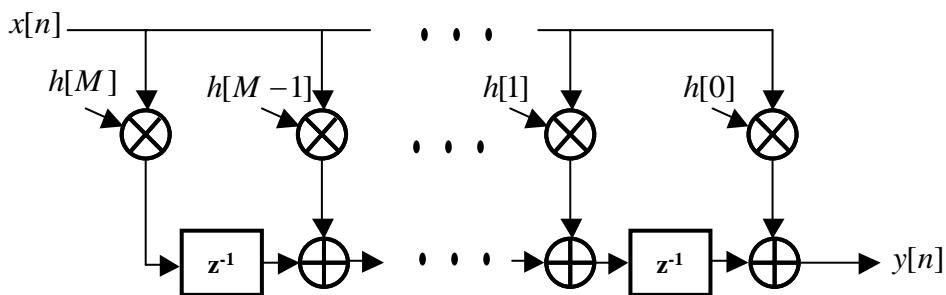


図 3-18：転置形 FIR フィルタ

図 3-17に示す直接形の FIR フィルタでは、フィルタ出力は

$$y[n] = \sum_{m=0}^M h[m]x[n-m] \quad (3-15)$$

と表され、加算が同時に行われるので後段の加算器程遅延量が大きくなるため

に、CPU などの逐次実行型のデバイスに適している。

図 3-18に示す転置形の FIR フィルタでは、直接形の FIR フィルタについて

- ・ 入力と出力を交換( $x[n] \rightarrow y[n], y[n] \rightarrow x[n]$ )
- ・ 信号の流れをすべて逆転(矢印を逆向きにする)
- ・ 加算点と分岐点を交換

の操作を行うことにより得ることができる。またフィルタの出力は式(3-15)と同じである。図からわかるように、加算が同時に行われることもなく、乗算器による演算が並列に実行できる FPGA などのデバイスに適した形式である。そこで転置形の FIR フィルタとしてオーバーサンプリング・ロールオフフィルタを実装した。ただし、 $M=48$  で 49 タップの FIR フィルタである。

転置形の FIR フィルタは図 3-18を見ればわかるように入力  $x[n]$  に対して同時にインパルス応答値の乗算値を求める処理を行っている。このフィルタに 12 倍のオーバーサンプリング零補間を適用すると、0 補間で入力に 11 個の 0 が入力された後にシンボル値が 1 回入力されるので、12 回の演算中に 11 回は乗算結果が 0 となり計算の必要は無くなる。またインパルス応答値は図 3-15を見るとわかるように、 $h(24)$ を中心に偶対称になっているので乗算値が必要な  $h[m] \cdot x[n]$  の演算量は約 1/2 とすることができる。よって、実際に必要な乗算回数は、シンボルレートである 12 サンプルの処理時間中に  $(49-1)/2+1=25$  回である。これを 12 クロックで処理すればよいので 1 クロックあたりの乗算回数はインパルスの中央値  $h(24)$ を除くと  $24/12=2$  回となる。よってクロックに同期してリアルタイム処理を行うのに必要な乗算器の数は中央値の  $h(24)$ の乗算を加えて  $2+1=3$  個の乗算器が必要となる。

このようにして実装した 12 倍オーバーサンプリング・ロールオフフィルタに  $\pi/4$  シフト QPSK 信号(同相信号 I のみ)を入力した時のアイパターンを図 3-19 に、信号波形を図 3-20に示す。ただし、図 3-20の図中の"raw"はフィルタを通過する前の波形で、"filtered"はフィルタを通過した信号を示している。アイパターンから、12 サンプル毎に ISI が 0 になるナイキストフィルタとして動作していることが確認できた。

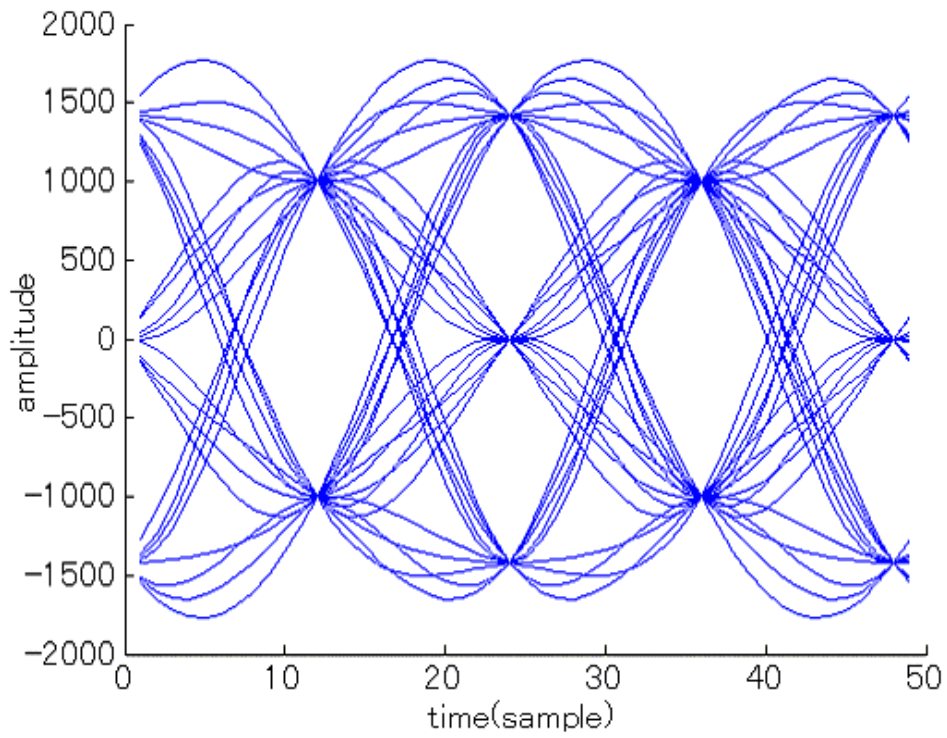


図 3-19 : フィルタ出力のアイパターン

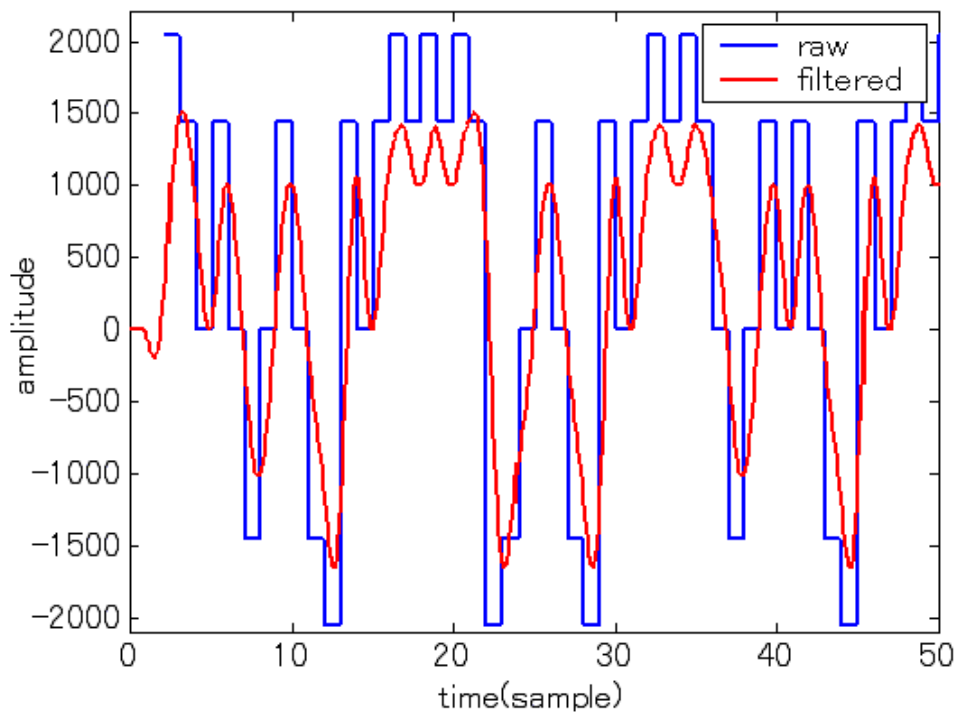


図 3-20 : フィルタ入力と出力の時間波形

### 3.2.4. 変復調とデータ送受信

実装した送信機の出力信号を受信し、データに変換を行う方法について考えるために Matlab を用いてシミュレーションを行った。送受信のブロック図は図 3-21 に示すようになっており、送信器のコサインロールオフフィルタに対しては受信機では比較的カットオフ周波数の高い LPF(8taps) で回路の負担を小さくしている。送信機の IF デジタル出力は図 3-22 に示すような波形で、受信機ではこの信号の位相が異なる信号が入力される。

受信機に入力された信号はまず図 2-17 に示すように、準コヒーレント検波で LO 周波数(10MHz)の直交キャリアが掛けられ図 3-23 に示すようなベースバンド信号に周波数変換される。ここでは送信と受信のキャリアは位相が違うために同期が取られていない。同期を取るためには、受信データと既知のヘッダデータと比較して位相をそろえなければならない。もしくは、データのエンコードで遅延検波を行うようにすれば位相を気にしなくてもよい。

周波数変換されたベースバンド信号 I・Q はそれぞれ LPF に入力され、図 3-24 のように高周波が取り除かれた滑らかな波形となる。その時のアイパターンは同相成分(I)が図 3-25、直交成分(Q)が図 3-26 に示すようになる。このアイパターンのアイが開いている位置(サンプル点が収束している点)が最適サンプルポイントで、その位置でサンプリングを行えばもっとも誤差の少ないシンボル信号を得ることができる。

そのような最適サンプル点を求める方法のひとつとして次のような方法をとった。

- (1) すべての I/Q サンプリング値に対して図 3-27 に示すように信号の振幅成分を作成する。
- (2) シンボル間隔である 12 サンプルポイント毎に取った値の合計を求め、シンボルを取り始める位置を 12 回変化させた時の合計値を図 3-28 に示すように求める。
- (3) そのなかで一番大きな合計値をもつサンプルの開始点が最適サンプリングポイントとなる。

この操作で求めた最適サンプリングポイントでのコンスタレーションパターンは図 3-29 に示すようになり、図 3-12 のような送信器の QPSK マッピングと同じ図形となり、正しく復調できていることがわかる。

この後、図 3-29 の信号点配置から 2bit のデータに変換すればシリアルデータを得ることができる。

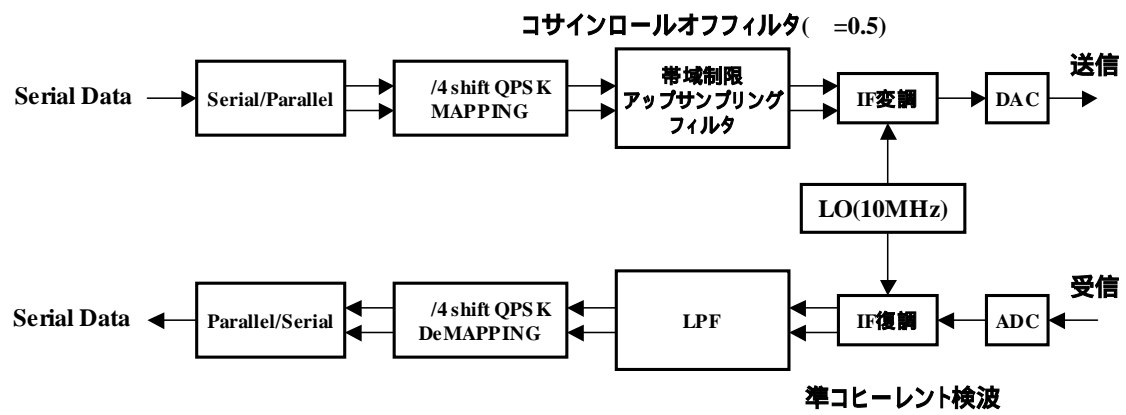


図 3-21 : 送受信ブロック図

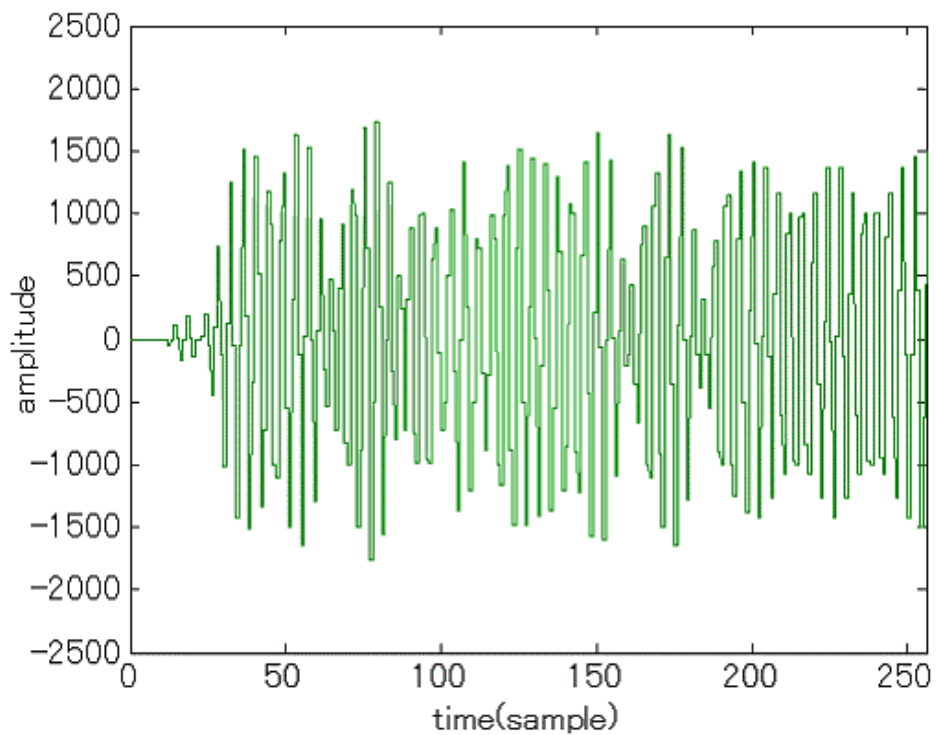


図 3-22 : IF デジタル出力信号

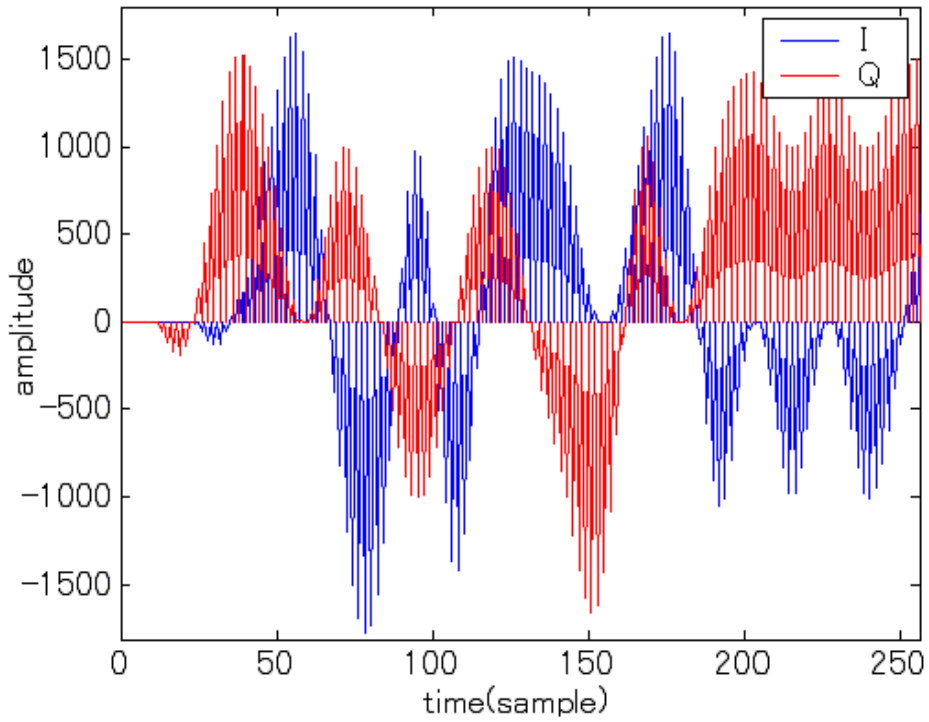


図 3-23 : ダウンコンバート直後のベースバンド信号(I/Q)

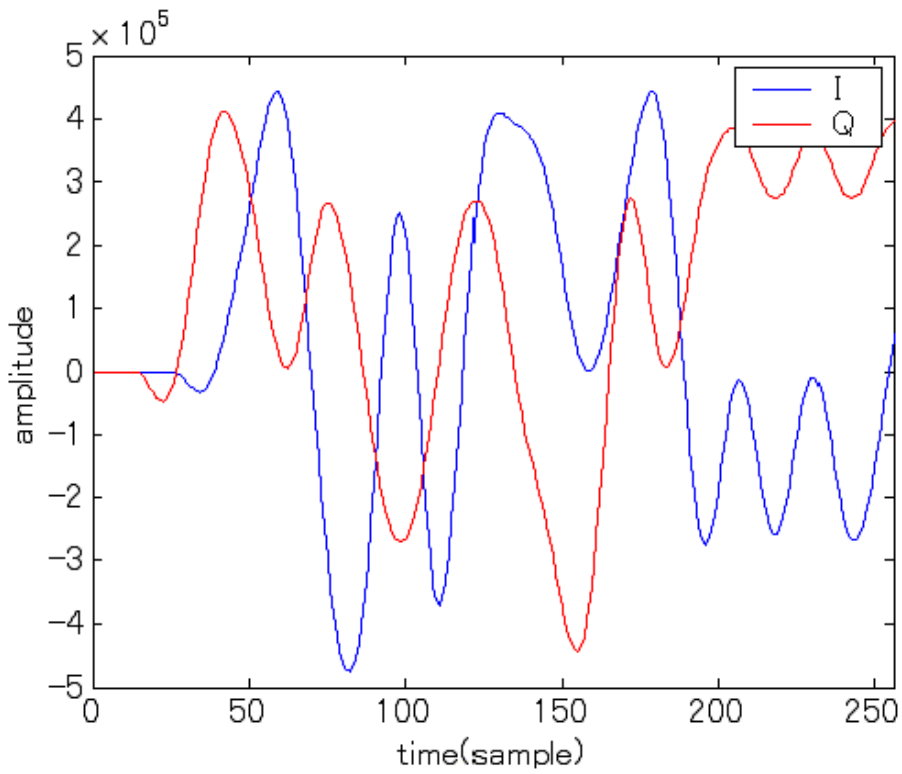


図 3-24 : LPF を通過したベースバンド信号(I/Q)

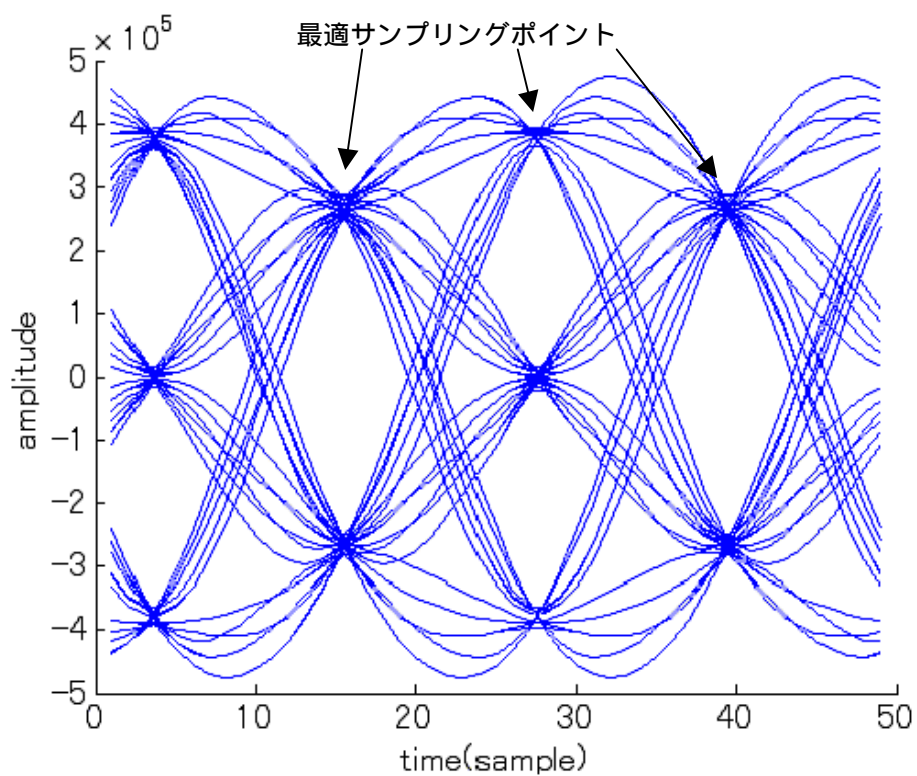


図 3-25 : フィルタ通過後のアイパターン(同相 I 成分)

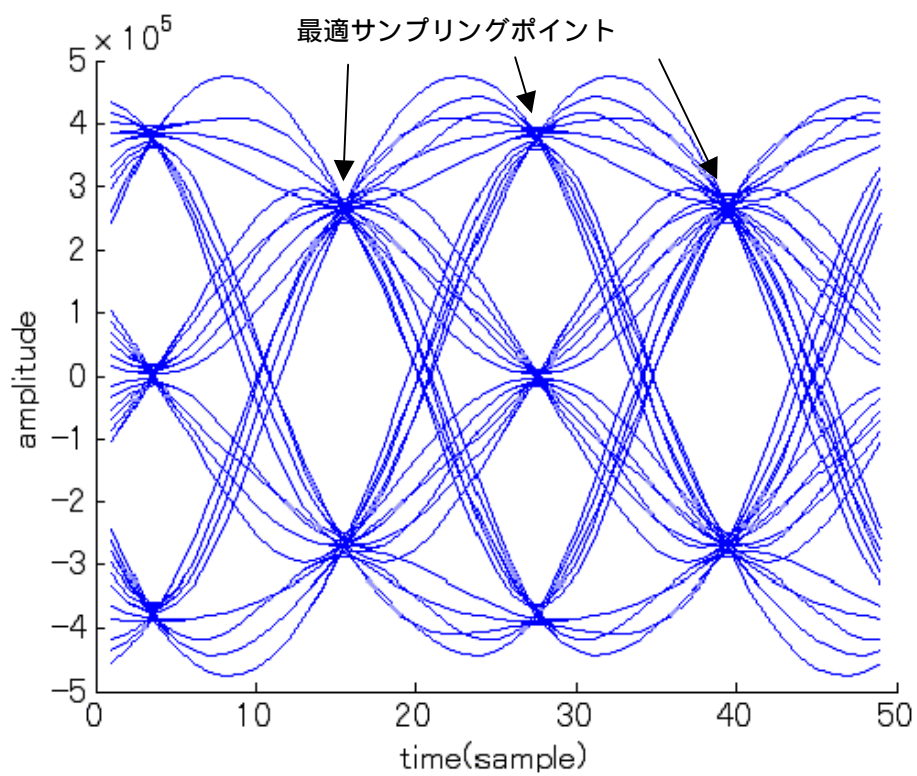


図 3-26 : フィルタ通過後のアイパターン(直交 Q 成分)



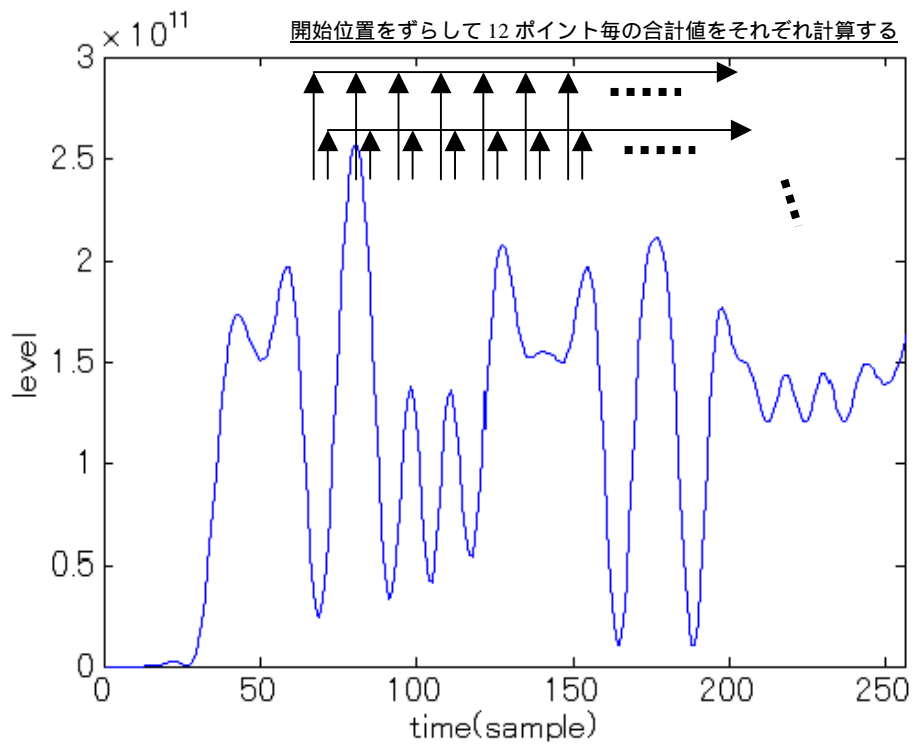


図 3-27 : 信号の振幅成分の自乗( $r^2(t) = I(t)^2 + Q(t)^2$ )

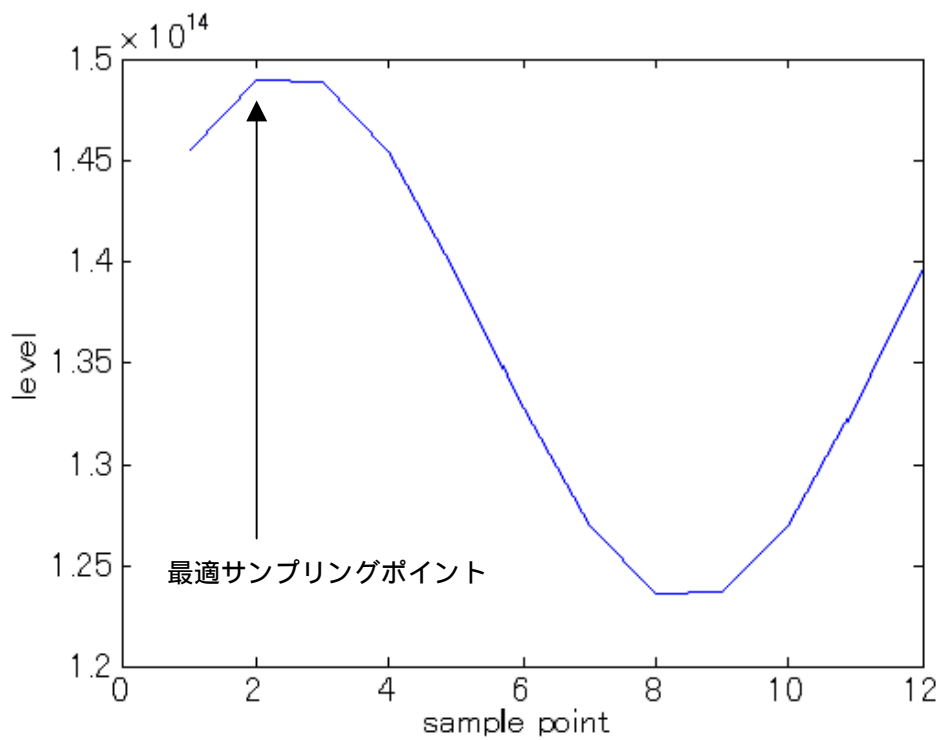


図 3-28 : サンプル位置毎の合計値

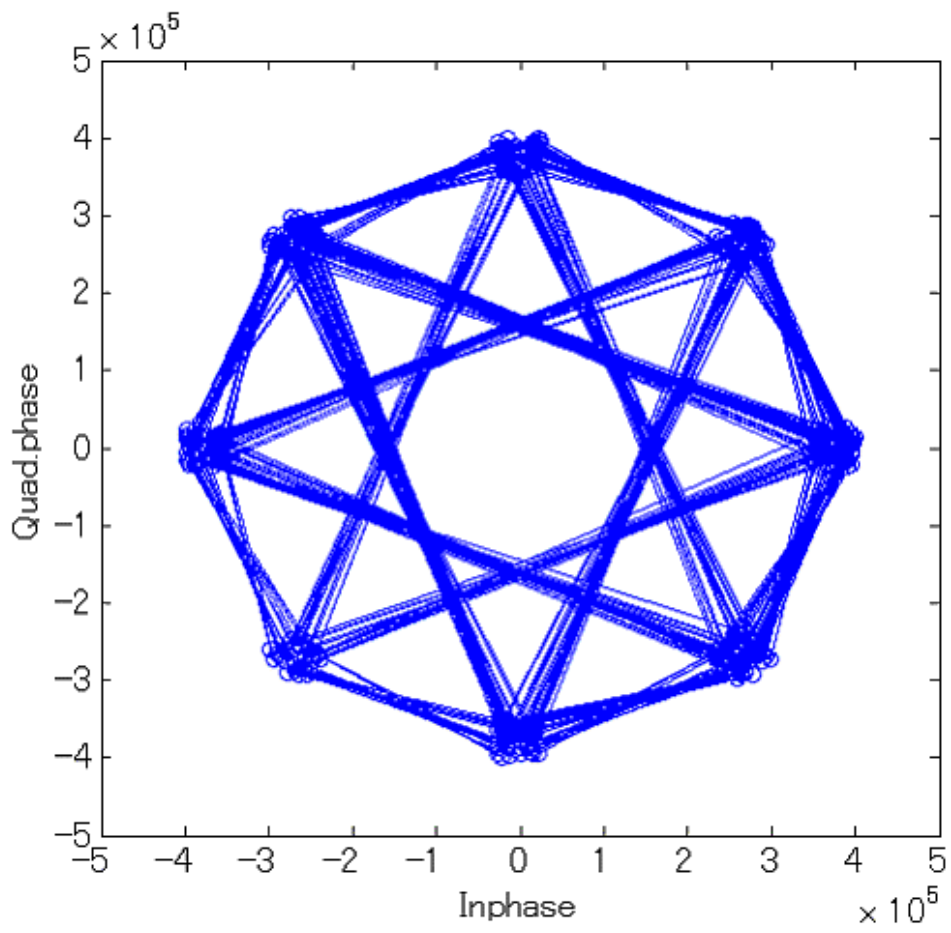


図 3-29 : コンスタレーションパターン

### 3.3. 指向性合成実験

実装した 16 チャンネルアダプティブアレーアンテナ送信機を用いて、実際に正しく動作するか実験を行った。

#### (A) 出力波形

実装した送信機の出力信号をオシロスコープを用いて信号の測定を行った。複素ウエイト(1+0j)で 32 ビットのシリアルデータ(92636019h)を繰り返し用いた時の出力波形を図 3-30に示す。縦軸は振幅、横軸はサンプル時刻を示していて、図中(A),(B),(C),(D)はそれぞれ出力チャンネル 9,11,12,13 チャンネルを表し、9,11,12 は FPGA-Prime2、13 は FPGA-Second2 と別 FPGA に接続されている D/A のチャンネルである。

出力信号の一周期は  $\pi/4$  シフト QPSK でシリアルデータは 2bit ずつ使われるため、40MHz のサンプリングを行った場合は、シンボルレートが 3.33MHz なので 1 シンボルあたり  $40/3.33=12$  サンプルとなり、16bit(シンボル) $\times$ 12 サンプル=192 サンプルが一周期となる。オシロスコープでは 1 画面あたり 5000ns/25ns=200 点のサンプル値が表示されている。Matlab で生成したシミュレーション波形は図 3-31のようになり、一致していることが確認できた。また図 3-30から、チャンネル間の出力の時間遅延はほぼ無いことがわかる。

次に、複素ウエイトが正しく乗算されているかを確認するために、ウエイトを(1+0j),(0.707+0.707j),(0+j),(0.5+0j)の 4 種類についてオシロスコープで確認を行った。ただし、ウエイトが(1+0j)の時は図 3-30、図 3-31と同じ波形である。

オシロスコープで観察された波形を図 3-32 に示す。ウエイトが(1+0j),(0.707+0.707j),(0+j),(0.5+0j)の時にそれぞれ図中の(A),(B),(C),(D)の波形となった。Matlab によるシミュレーション波形と比較した図を図 3-33、図 3-34、図 3-35に示す。これらの図を見ればわかるように、D/A の出力波形とシミュレーションによる波形とが一致していることが確認できた。

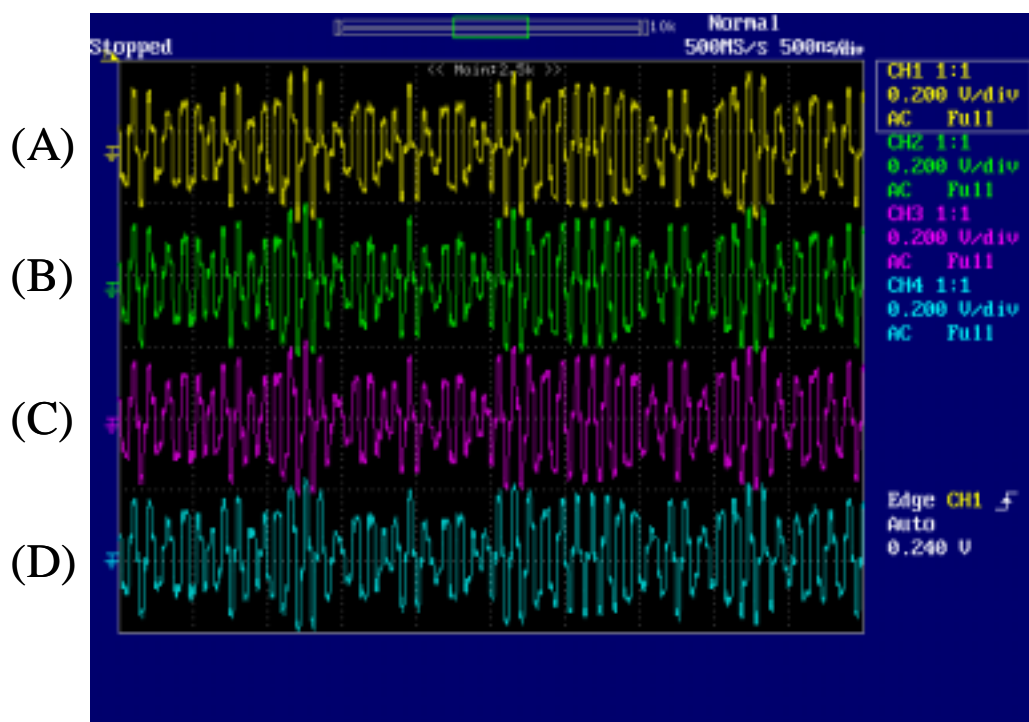


図 3-30 : オシロスコープによる D/A 制御 BOX の出力波形(9,11,12,13ch)

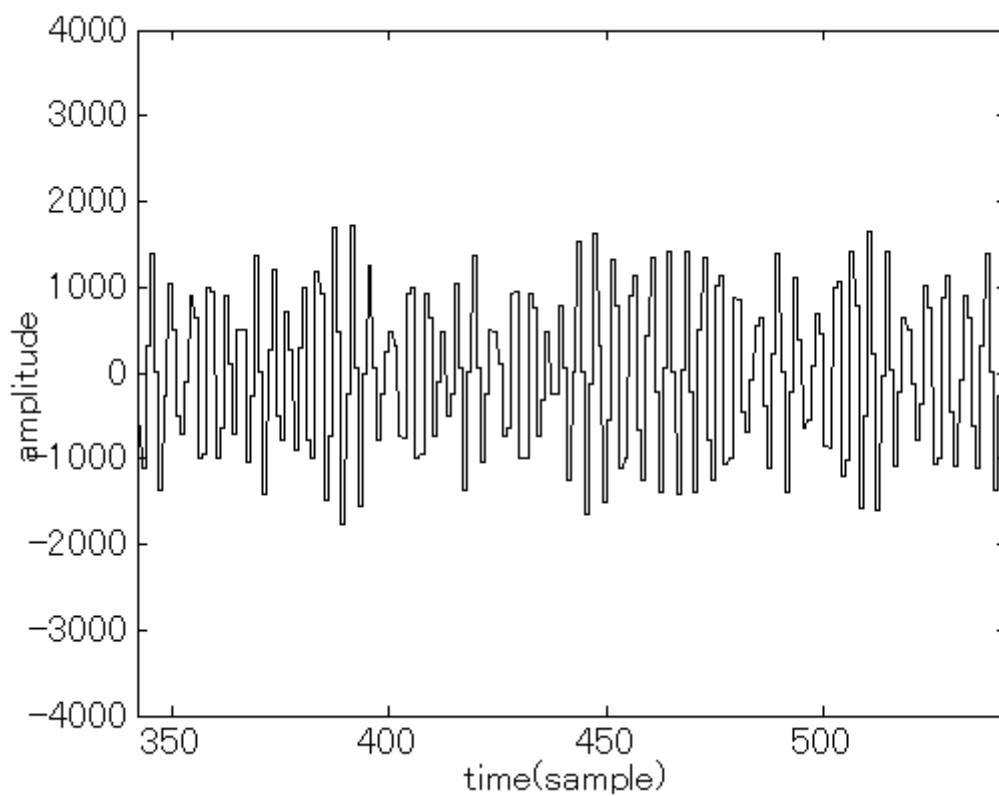


図 3-31 : Matlab によるシミュレーション波形

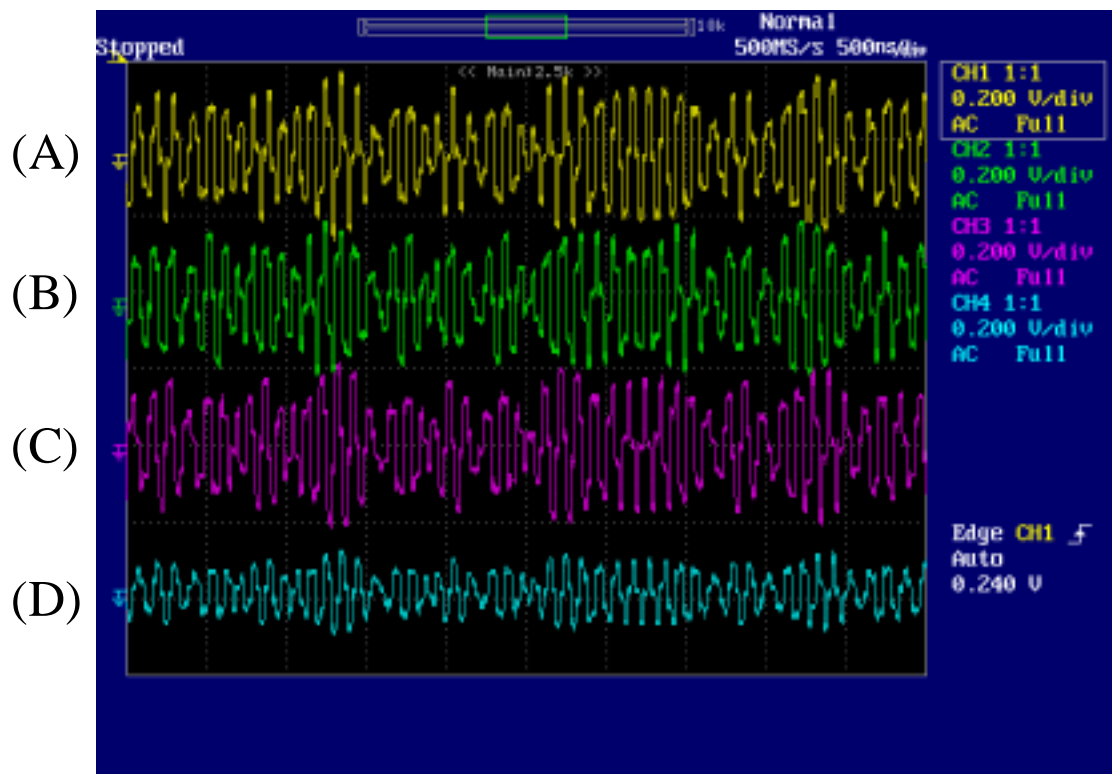


図 3-32：複素ウエイトを掛けた時の波形

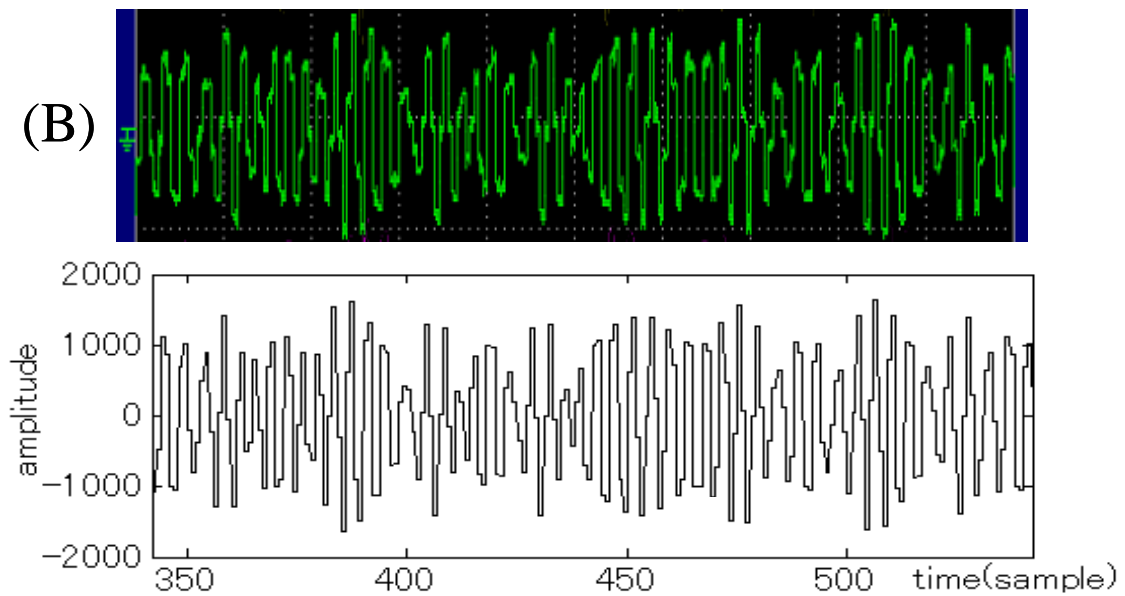


図 3-33：複素ウエイト( $0.707+0.707j$ )の時の波形の比較

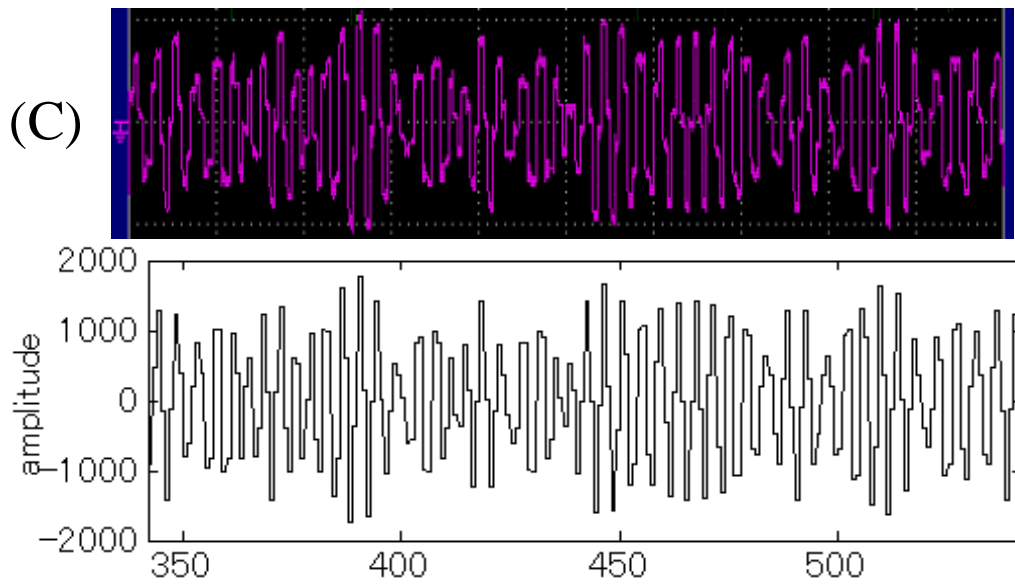


図 3-34 : 複素ウエイト(0+j)の時の波形の比較

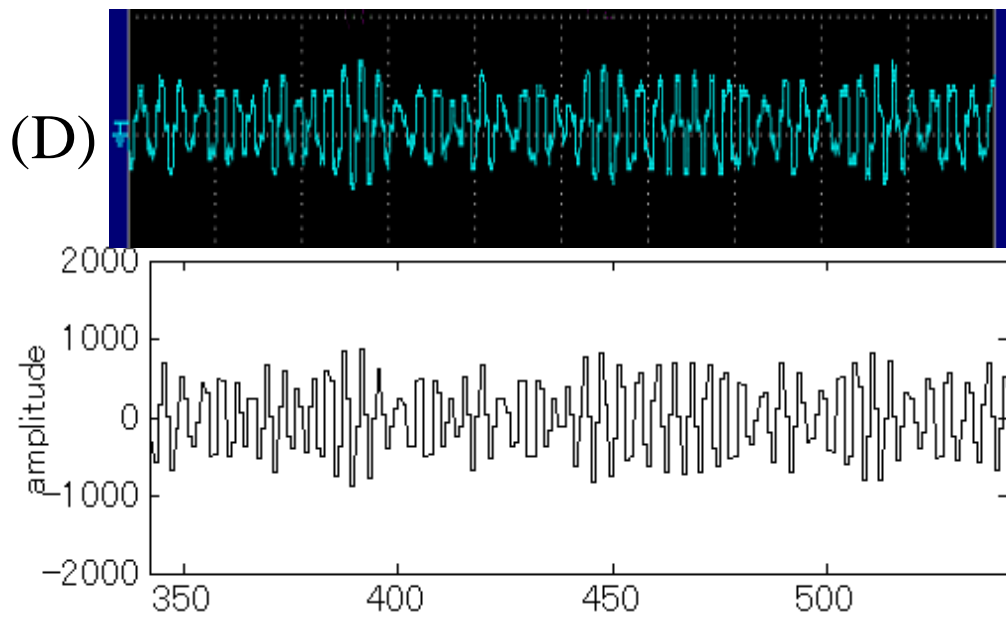


図 3-35 : 複素ウエイト(0.5+0j)の時の波形の比較

### 3.3.1. IF 段における送受信機の直接接続

図 3-36に示すように、実装した送信機の IF 出力をそのままケーブルで受信機に接続し、IF サンプリングを行った。受信機側は、2 章の 16 チャンネルの受信機を用い、送信機で生成した信号の到来方向を推定することにより、意図した方向に指向性のメインビームが向いているかを確認することができる。

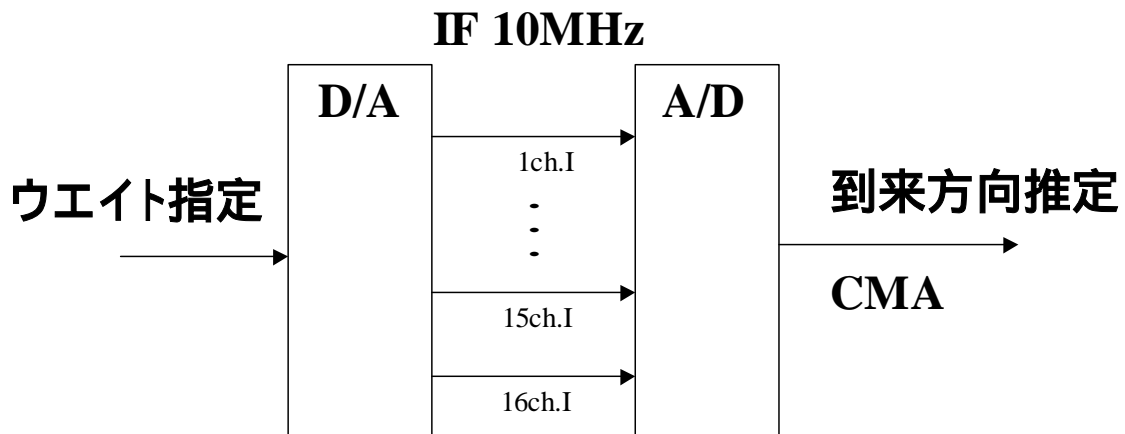


図 3-36：送受信機 IF 段直接接続

実際に D/A 制御 BOX と A/D 制御 BOX をケーブルで接続した時の概観は図 3-37に示すようになっている。一例として、D/A 制御 BOX の複素ウエイトを  $\pm 30^\circ$  になるように設定を行った。この時の複素ウエイトは素子間隔  $d_i$  を 0.5 とすれば、式(3-6)より

$$w_i = A_i \exp(j\delta) = \cos\left(\frac{2\pi d_i}{\lambda} \sin \theta_1\right) + j \sin\left(\frac{2\pi d_i}{\lambda} \sin \theta_1\right) \quad (3-16)$$

$$= \cos(\pi(i-1) \sin \theta_1) + j \sin(\pi(i-1) \sin \theta_1)$$

で求めることができ、その求めた値を表 3-3に示す。ただし固定小数化する場合には、浮動小数の値を 512 倍し、12bit 分の整数部を取り出した値を用いている。表の固定小数値は 16 進数で表示してあり、sin/cos/ の計算誤差から浮動小数の値と比べて多少誤差がある。

このようにして設定した複素ウエイトを乗算された D/A の出力信号を A/D で受信し、到来方向推定システムを用いて到来方向推定をした時のモニタソフトウェアのスクリーンショットを図 3-38に示す。図中の右上のコンソールは D/A 制御 BOX と接続されており、ウエイトの指定を行い FPGA のレジスタに値が格納され D/A の出力に反映されるようになっている。図中の左上のパネルでは、

A/D の設定を行い、受信してダウンコンバートされた 16ch のベースバンド信号が左下に表示され、その到来方向推定結果である MUSIC スペクトラムが右下に表示される。到来方向推定結果を見ればわかる通り  $\pm 30^\circ$  にピークが来ており、正しく D/A から信号が出力されていることが確認できた。

表 3-3 :  $\pm 30^\circ$  における複素ウエイトの設定値

チャンネル	実部(浮動小数)	虚部(浮動小数)	実部(固定小数)	虚部(固定小数)
1	1	0	200h	000h
2	0	-1	000h	E00h
3	-1	0	E00h	000h
4	0	1	000h	200h
5	1	0	1FFh	000h
6	0	-1	000h	E01h
7	-1	0	E01h	000h
8	0	1	000h	1FFh
9	1	0	1FFh	000h
10	0	-1	000h	E01h
11	-1	0	E01h	000h
12	0	1	000h	1FFh
13	1	0	1FFh	000h
14	0	-1	000h	E01h
15	-1	0	E01h	000h
16	0	1	000h	1FFh



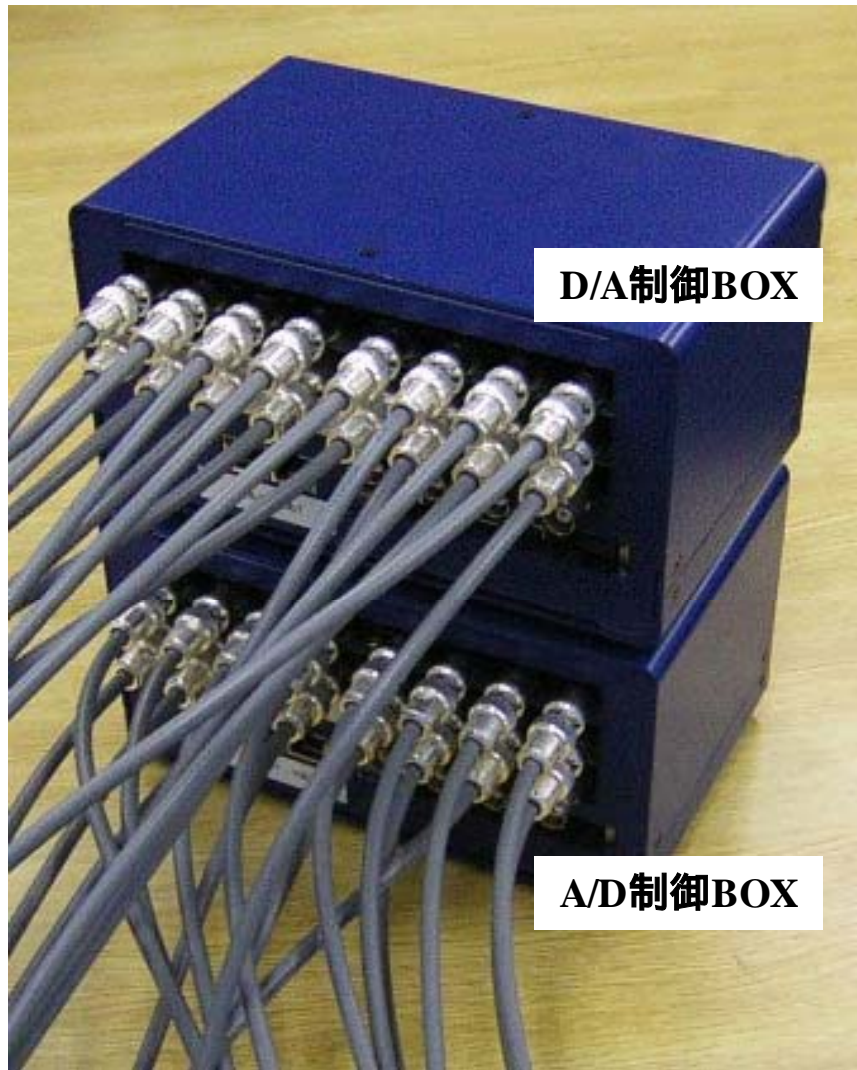
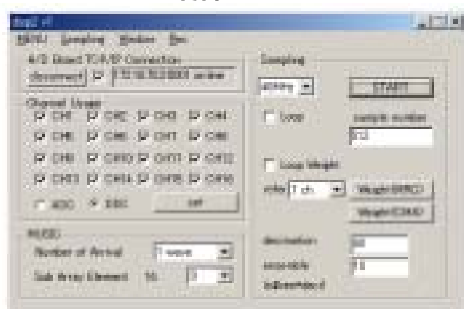
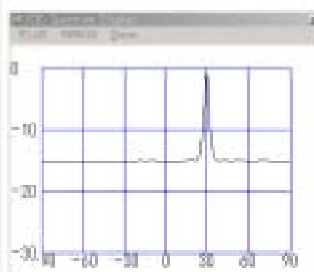
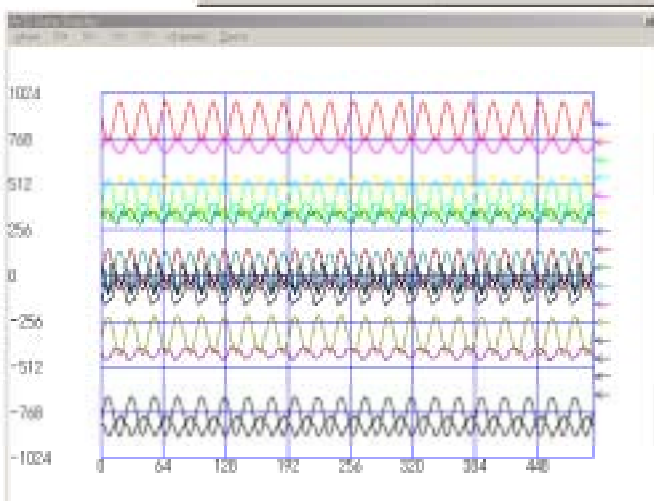
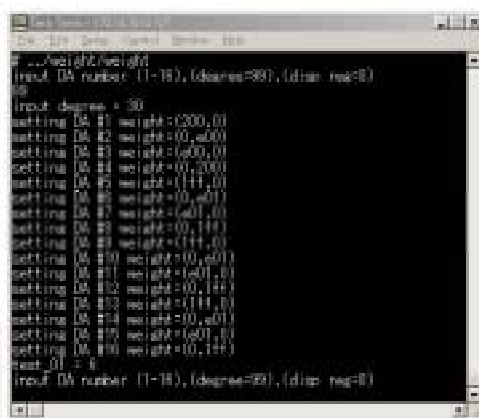


図 3-37 : IF 段直接接続の概観

**A/D制御ソフトウェア**



**D/A制御コンソール**



**MUSICスペクトラム**

**DDC後のベースバンド信号(I:16ch)**

**図 3-38 : 30° 方向の指向性合成とその到来方向推定(IF 段直結)**

## 4. 結論

本論文では、移動体通信の基地局向けアダプティブアレーアンテナ技術の評価が行える試作機のデジタル部の実装を行った。まず、移動局からの電波の到来方向を MUSIC 法による推定を行う到来方向推定システムとして

- ・ 複数個の 2 チャンネル A/D ボードを用いた構成
- ・ 16 チャンネルの A/D 制御 BOX を用いた構成

の 2 通りのを構築し、実験にて到来方向の推定を準リアルタイムで処理ができることを確認した。

次に、移動局に向けてアンテナの指向性を自由に制御することのできるアダプティブアレーアンテナ送信機のデジタル部の実装を行い、

- ・ FPGA に実装することにより 16ch の並列処理が可能
- ・ 複素ウエイトを乗じた IF 信号をデジタル変調により直接出力させることが可能

とし、16 チャンネルの A/D 制御 BOX を用いた到来方向推定システムと接続し、任意の方向に指向性を合成できることを確認した。そして、この送信機と受信側の到来方向の推定結果などを用いて指向性を合成し、伝搬環境にあった高品位な通信を行うことができるものと考えられる。

今後の課題としては、送信機のアナログ部も含めた指向性合成の検討、送受信を含めたアダプティブアルゴリズムの適用と検証などがあげられる。

## 謝辞

本研究を進めるにあたり、丁寧な御指導と大変興味深いテーマを下された新井宏之教授に深く感謝致します。また、研究に関するいろいろなアドバイスを下された市毛弘一講師ならびに D1 金ミン錫先輩、日本電業工作株式会社の宮本健宏氏に深く感謝いたします。

最後に、研究生活でお世話になった新井研究室ならびに市毛研究室の皆様にも深く感謝いたします。

# 付録

## A. CMA アルゴリズムについて

CMA(Constant Modulus Algorithm)は、定包絡線信号を対象としたアルゴリズムで、位相変調信号(QPSK など)では信号の包絡線が一定であるという性質を用いて参照信号の必要の無いブラインド処理が行えるアダプティブアルゴリズムである。定包絡線信号が多重波伝搬路を通り受信点において多重波干渉を生じた場合、包絡線が一定である性質が失われ、包絡線に変動成分を生じる。この包絡線の歪を最小となるようにアレーアンテナのウェイトを制御するのがCMAアルゴリズムであり、

$$Q(W) = E \left[ \left| |y(t)|^p - \sigma^p \right|^q \right] = E \left[ \left| |W^H X(t)|^p - \sigma^p \right|^q \right] \quad (\text{A-1})$$

のような評価関数  $Q$  を最小化するようにウェイトを制御する。ここで、 $p, q$  は正の整数で、 $y$  はアレーの出力電圧、 $X$  はアレーの入力ベクトル、 $W$  はウェイトベクトル、 $\sigma$  は所望の包絡線の値である。

この式を解くには、最急降下法(SD-CMA)やマルカート法(LS-CMA)などがあり、最急降下法のウェイトベクトル  $W$  の更新式は

$$W(m+1) = W(m) - \mu \nabla_w Q(m) \quad (\text{A-2})$$

となる。ただし、 $m$  はウェイトの更新回数、 $\mu$  はステップサイズ、 $\nabla_w Q$  は  $Q$  の  $W$  に関する勾配ベクトルである。

## B. MRC アルゴリズムについて

最大比合成：MRC(Maximal-Ratio Combining)アルゴリズムはその名の通り、アレー入力ベクトルに対して出力電力が最大となるように入力ベクトルの位相を揃えて合成する働きをもち、その指向性は到来波の方向となる。具体的には図 3-2とは逆の操作で、アレーから入力された信号は  $i$  番目の素子では  $\tau_i$  だけ遅延が生じるから

$$\begin{aligned} E_i(t) &= E_0(t - \tau_i) \\ &\cong E_0(t) \exp(-j2\pi f \tau_i) \\ &= E_0(t) \exp(-j2\pi f \frac{d_i}{c} \sin \theta_1) \\ &= E_0(t) \exp(-j \frac{2\pi d_i}{\lambda} \sin \theta_1) \\ &= E_0(t) \exp(-j\delta_i) \end{aligned} \tag{B-1}$$

となり、これに対して位相が揃うようにウエイトを掛けアレーの出力として受信を行う。よって複素ウエイト  $w_i$  は上の信号の位相を打ち消すように

$$w_i = A_i \exp(j\delta) = \cos(\frac{2\pi d_i}{\lambda} \sin \theta_1) + j \sin(\frac{2\pi d_i}{\lambda} \sin \theta_1) \tag{B-2}$$

となる。ところで  $i=1$  を基準とすると、 $d_1 = 0$  となるから

$$\begin{aligned} w_i &= E_1(t) \cdot E_i^*(t) = E_0^2(t) \exp(-j\delta_1) \exp(j\delta_i) \\ &= E_0^2(t) \exp(-j\delta_1) \exp(j\delta_i) \\ &= E_0^2(t) \exp(j\delta_i) \end{aligned} \tag{B-3}$$

と入力ベクトルからウエイトを求めることができる。

## 発表文献

- [1] 村松慎太郎,金ミン錫,新井宏之:” MUSIC法による到来方向推定システムの実装に関する研究”,信学ソ大会,No.B-1-34,pp.40(Sept.2000)
- [2] 村松慎太郎,金ミン錫,新井宏之:” MUSIC法のための固有値展開における固定小数点演算の最適ビット長の検討”, 信学総大,No.B-1-18(March.2002)
- [3] A. Suzuki, S. Muramatsu, K. Ichige and H. Arai:” An FPGA-based hardware implementation of LS-CMA adaptive array for high-speed mobile communication”, PIMRC , Lisbon , Portugal (Sep. 2002)

## 参考文献

- [1] 山尾,梅田,大津,中嶋:"第4世代移動通信の展望 - 無線システムを中心とした課題について - ",信学誌,Vol.J83-B,No.10,pp.1364-1373(Oct. 2000)
- [2] 鈴木,大鐘,小川:"アダプティブアレーを用いた SDMA 方式におけるチャネル利用効率の検討",信学誌,Vol.J85-B,No.3,pp.346-353(March 2002)
- [3] R.O.Schmidt:"Multiple Emitter Location and Signal Parameter Estimation",IEEE Trans.Antennas and Propagat.,Vol.34,No.3,pp.276-280(March 1986)
- [4] 菊間 信良:"アレーアンテナによる適応信号処理",科学技術出版,1998
- [5] 新井 宏之:"新アンテナ工学",総合電子出版社,1996
- [6] Simon Haykin:"適応フィルタ理論",科学技術出版,2001
- [7] 小川 恭孝:"アンテナ・伝搬における設計・解析手法ワークショップ(第 23,24 回)アダプティブアンテナ中級コース", アンテナ・伝播研究専門委員会,2002
- [8] 西村 芳一:"無線によるデータ変復調技術",CQ 出版株式会社,2002
- [9] 西村 芳一:"DSP 処理のノウハウ", CQ 出版株式会社,2000
- [10] 三上 直樹:"デジタル信号処理の基礎", CQ 出版株式会社,1998
- [11] 武部 幹:"デジタルフィルタの設計",東海大学出版会,1986
- [12] Behzad Razavi,黒田忠広(監訳):"RF マイクロエレクトロニクス",丸善株式会社,2002
- [13] 進士 昌明:"無線通信の電波伝搬",コロナ社,,1992
- [14] 松尾 憲一:"スペクトラム拡散技術のすべて",東京電機大学出版局,2002
- [15] 尾知 博:"期待が高まるデジタル通信技術の基礎", Interface,10 月号,pp.51-92,2001
- [16] 関 清三:"デジタル変復調の基礎",オーム社,2001
- [17] 木原,小野:"デジタルクロック技術",オーム社,2001
- [18] 小林 芳直:"ASIC の論理回路設計", CQ 出版株式会社,1998
- [19] 長谷川 裕恭:"VHDL によるハードウェア設計入門", CQ 出版株式会社,1995



- [20] 吉田,尾知:”VHDL で学ぶデジタル回路設計”, CQ 出版株式会社,2002
- [21] 盛岡 澄夫:”HDL による高性能デジタル回路設計”, CQ 出版株式会社,2002
- [22] 澤川,綱島:”TCP/IP 解析とソケットプログラミング”,オーム社,2000
- [23] W・リチャード・スティーブンス:”UNIX ネットワークプログラミング第2版 Vol.1”,ピアソン・エデュケーション,1999
- [24] Minseok Kim:”A Study of Implementation of Digital Signal Processing for Adaptive Array Antenna”,平成 13 年度修士論文(Feb.2002)