

修士論文題目 MMSE アダプティブアレーにおける  
信号処理部の高速化に関する研究  
学籍番号 05GD180 氏名 横山 良晃  
指導教官 新井 宏之 教授  
論文提出日 平成 19 年 3 月 15 日

高速移動通信を実現するためには、建物などにより電波が反射、回折、散乱する多重伝搬路を通過するために生じるマルチパスフェージングや、同一周波数を利用している他のセルのユーザーによる同一チャネル干渉 (CCI: Co-Channel Interference)、伝搬遅延時間差などによって生じるシンボル間干渉 (ISI: Inter Symbol Interference) によって通信容量や精度が劣化してしまう。この問題に対して一般的に提案されている手法として、送信電力制御や誤り制御符号、ダイバーシチ技術が挙げられるが、近年では第 4 世代移動体通信の実現に向けて、アダプティブアレーアンテナが有効であるとされている。

陸上移動体通信環境では、到来波の到来方向や到来波数を正確に把握することが困難であるため、これらの情報を必要としない MMSE (Minimum Mean Square Error) アダプティブアレーアンテナが適していると考えられる。MMSE アダプティブアレーアンテナでは、各アンテナ素子で受信された信号の重み付け和と、あらかじめ与えられた参照信号との平均二乗誤差を最小化するように重みが決定される。MMSE アダプティブアレーの最適化アルゴリズムとして、RLS (Recursive Least Squares) アルゴリズムは LMS (Least Mean Squares) アルゴリズムより高速収束を特徴とするが、演算量が推定パラメータ数の 2 乗に比例して増加することが問題であった。その問題を克服する手段として、RLS アルゴリズムの並列パイプライン処理が可能な QRD-RLS シストリックアレープロセッサが知られている。QRD-RLS シストリックアレーは ASIC により実装された例があるが、実装方法やワード長、回路規模について詳細にはあまり述べられていない。

本論文では、MMSE アダプティブアレーのリアルタイム処理を目的として QRD-RLS シストリックアレーを用い、実際に FPGA に実装することで性能評価を行った。Givens rotation を用いた行列の QR 分解により、RLS アルゴリズムの並列パイプライン処理が可能なることを示し、固定小数点演算を用いた QRD-RLS シストリックアレーが CORDIC (COordinate Rotation DIgital Computer) に基づいて実装されていることを示した。最適な内部ワード長や、ワード長が回路規模に与える影響、素子数によって回路規模がどの程度増加するのかを定量的に検証した。MMSE アダプティブアレーの最適化アルゴリズムを評価するために、NLMS、RLS、QRD-RLS を同一のハードウェア上に実装することで実時間での収束特性を示し、また、実際の伝搬環境で評価を行い QRD-RLS シストリックアレーが良好な結果が得られることを確認した。